

convertidor analógico-digital (ADC)	representación analógica	unidad central de procesamiento (CPU)
convertidor digital-analógico (DAC)	representación digital	unidad de control
diagrama de tiempos	sistema analógico	unidad de entrada
memoria	sistema binario	unidad de memoria
	sistema decimal	unidad de salida

PROBLEMAS

SECCIÓN 1-2

- 1-1.* ¿Cuáles de las siguientes cantidades son analógicas y cuáles digitales?
- El número de átomos en una muestra de material.
 - La altitud de una aeronave.
 - La presión en la llanta de una bicicleta.
 - La corriente que pasa a través de una bocina.
 - La configuración del temporizador en un horno de microondas.
- 1-2. ¿Cuáles de las siguientes cantidades son analógicas y cuáles digitales?
- La anchura de una pieza de madera.
 - La cantidad de tiempo transcurrido antes de que se apague el timbre.
 - La hora del día que se muestra en un reloj de cuarzo.
 - La altitud por encima del nivel del mar, si se mide desde una escalera.
 - La altitud por encima del nivel del mar, si se mide desde una rampa.

SECCIÓN 1-3

- 1-3.* Convierta los siguientes números binarios a sus valores decimales equivalentes.
- 11001_2
 - 1001.1001_2
 - 10011011001.10110_2
- 1-4. Convierta los siguientes números binarios a decimal.
- 10011_2
 - 1100.0101
 - 10011100100.10010
- 1-5.* Muestre la secuencia de conteo binario de 000 a 111, usando tres bits.
- 1-6. Muestre la secuencia de conteo binario de 000000 a 111111, usando seis bits.
- 1-7.* ¿Cuál es el máximo número que podemos contar si utilizamos 10 bits?
- 1-8. ¿Cuál es el máximo número que podemos contar si utilizamos 14 bits?
- 1-9.* ¿Cuántos bits se necesitan para contar hasta 511?
- 1-10. ¿Cuántos bits se necesitan para contar hasta 63?

SECCIÓN 1-4

- 1-11.* Dibuje el diagrama de tiempos para una señal digital que alterne en forma continua entre 0.2 V (0 binario) durante 2 ms y 4.4 V (1 binario) durante 4 ms.
- 1-12. Dibuje el diagrama de tiempos para una señal que alterne entre 0.3 V (0 binario) durante 5 ms y 3.9 V (1 binario) durante 2 ms.

* Encontrará las respuestas a los problemas marcados con un asterisco al final del libro.

TÉRMINOS IMPORTANTES

bit de paridad	Código estándar	nibble
byte	estadounidense para	palabra
códigos alfanuméricos	el intercambio de	sistema numérico
código binario directo	información (ASCII)	hexadecimal
código decimal codificado	código Gray	tamaño de palabra
en binario (BCD)	método de paridad	

PROBLEMAS

SECCIONES 2-1 Y 2-2

- 2-1. Convierta los siguientes números binarios en decimales.
- | | | |
|-------------------|---------------|-----------------|
| (a)* 10110 | (d) 01101011 | (g)* 1111010111 |
| (b) 10010101 | (e)* 11111111 | (h) 11011111 |
| (c)* 100100001001 | (f) 01101111 | |
- 2-2. Convierta los siguientes valores decimales en binarios.
- | | | |
|----------|----------|----------|
| (a)* 37 | (d) 1000 | (g)* 205 |
| (b) 13 | (e)* 77 | (h) 2133 |
| (c)* 189 | (f) 390 | (i)* 511 |
- 2-3. ¿Cuál es el valor decimal más grande que puede representarse mediante (a)* un número binario de ocho bits? (b) un número de 16 bits?

SECCIÓN 2-4

- 2-4. Convierta cada número hexadecimal en su equivalente decimal.
- | | | |
|-----------|----------|----------|
| (a)* 743 | (d) 2000 | (g)* 7FF |
| (b) 36 | (e)* 165 | (h) 1204 |
| (c)* 37FD | (f) ABCD | |
- 2-5. Convierta cada uno de los siguientes números decimales en hexadecimales.
- | | | |
|----------|----------|-------------|
| (a)* 59 | (d) 1024 | (g)* 65,536 |
| (b) 372 | (e)* 771 | (h) 255 |
| (c)* 919 | (f) 2313 | |
- 2-6. Convierta cada uno de los valores hexadecimales del problema 2-4 en números binarios.
- 2-7. Convierta los números binarios del problema 2-1 en hexadecimales.
- 2-8. Liste los números hexadecimales en secuencia, desde 195_{16} hasta 280_{16} .
- 2-9. Cuando se va a convertir un número decimal grande en binario, algunas veces es más fácil convertirlo primero en hexadecimal y después en binario. Pruebe este procedimiento para el número 2133_{10} y compárelo con el procedimiento usado en el problema 2-2(h).
- 2-10. ¿Cuántos dígitos hexadecimales se requieren para representar los números decimales del 0 hasta el 20,000?
- 2-11. Convierta los siguientes valores hexadecimales en decimales.
- | | | |
|-----------|-----------|----------|
| (a)* 92 | (d) ABCD | (g)* 2C0 |
| (b) 1A6 | (e)* 000F | (h) 7FF |
| (c)* 37FD | (f) 55 | |

* Encontrará las respuestas a los problemas marcados con un asterisco al final del libro.

- 2-12. Convierta los siguientes valores decimales en hexadecimales.
- | | | |
|-----------|-----------|-------------|
| (a)* 75 | (d) 24 | (g)* 25,619 |
| (b) 314 | (e)* 7245 | (h) 4095 |
| (c)* 2048 | (f) 498 | |
- 2-13. Tome cada número binario de cuatro bits en el orden en el que están escritos y escriba el dígito hexadecimal equivalente sin realizar ningún cálculo manual o mediante la calculadora.
- | | | | |
|----------|----------|----------|----------|
| (a) 1001 | (e) 1111 | (i) 1011 | (m) 0001 |
| (b) 1101 | (f) 0010 | (j) 1100 | (n) 0101 |
| (c) 1000 | (g) 1010 | (k) 0011 | (o) 0111 |
| (d) 0000 | (h) 1001 | (l) 0100 | (p) 0110 |
- 2-14. Tome cada dígito hexadecimal y escriba su valor binario de cuatro bits sin realizar ningún cálculo manual ni mediante la calculadora.
- | | | | |
|-------|-------|-------|-------|
| (a) 6 | (e) 4 | (i) 9 | (m) 0 |
| (b) 7 | (f) 3 | (j) A | (n) 8 |
| (c) 5 | (g) C | (k) 2 | (o) D |
| (d) 1 | (h) B | (l) F | (p) 9 |
- 2-15.* Convierta los números binarios del problema 2-1 en hexadecimales.
 2-16.* Convierta los valores hexadecimales del problema 2-11 en binarios.
 2-17.* Liste los números hexadecimales en secuencia, desde 280 hasta 2A0.
 2-18. ¿Cuántos dígitos hexadecimales se requieren para representar números decimales hasta 1 millón?


SECCIÓN 2-5

- 2-19. Codifique los siguientes números decimales en BCD.
- | | | |
|----------|----------|-------------|
| (a)* 47 | (d) 6727 | (g)* 89,627 |
| (b) 962 | (e)* 13 | (h) 1024 |
| (c)* 187 | (f) 529 | |
- 2-20. ¿Cuántos bits se requieren para representar los números decimales en el intervalo de 0 a 999 si se utiliza: (a) código binario directo, y (b) código BCD?
- 2-21. Los siguientes números están en BCD. Conviértalos en decimales.
- | | |
|-----------------------|----------------------|
| (a)* 1001011101010010 | (d) 0111011101110101 |
| (b) 000110000100 | (e)* 010010010010 |
| (c)* 011010010101 | (f) 010101010101 |

SECCIÓN 2-7

- 2-22.* (a) ¿Cuántos bits hay en ocho bytes?
 (b) ¿Cuál es el número hexadecimal más grande que puede representarse en cuatro bytes?
 (c) ¿Cuál es el valor decimal codificado en BCD más grande que puede representarse en tres bytes?
- 2-23. (a) Consulte la tabla 2-4. ¿Cuál es el nibble más significativo del código ASCII para la letra X?
 (b) ¿Cuántos nibbles pueden almacenarse en una palabra de 16 bits?
 (c) ¿Cuántos bytes se requieren para formar una palabra de 24 bits?

SECCIONES 2-8 Y 2-9

- 2-24. Represente la instrucción "X = 3 × Y" en código ASCII. Adjunte un bit de paridad impar.
- 2-25.* Adjunte un bit de paridad *par* a cada uno de los códigos ASCII del problema 2-24, y muestre los resultados en hexadecimal.
- 2-26. Los siguientes bytes (mostrados en hexadecimal) representan el nombre de una persona según como se almacenaría en la memoria de una computadora. Cada byte es código ASCII con relleno. Determine el nombre de cada persona.
- (a)* 42 45 4E 20 53 4D 49 54 48
 (b) 4A 6F 65 20 47 72 65 65 6E
- 2-27. Convierta los siguientes números decimales en código BCD y después adjunte un bit de paridad *impar*.
- (a)* 74 (c)* 8884 (e)* 165
 (b) 38 (d) 275 (f) 9201
- 2-28.* En cierto sistema digital, los números decimales del 000 al 999 se representan en código BCD. También se incluye un bit de paridad *impar* al final de cada grupo. Examine cada uno de los códigos que se muestran a continuación y suponga que cada uno acaba de transferirse de un lugar a otro. Algunos de los grupos contienen errores. Suponga que *no se han producido más de dos errores* en cada grupo. Determine cuáles de los siguientes casos tienen un solo error y cuáles tienen *en definitiva* un error doble. (*Sugerencia*: recuerde que éste es código BCD).
- (a) 1001010110000

- (b) 0100011101100
 (c) 0111110000011
 (d) 1000011000101
- 2-29. Suponga que el receptor recibió los siguientes datos del transmisor del ejemplo 2-16:

```

0 1 0 0 1 0 0 0
1 1 0 0 0 1 0 1
1 1 0 0 1 1 0 0
1 1 0 0 1 0 0 0
1 1 0 0 1 1 0 0
    
```

¿Qué errores puede determinar el receptor en los datos que recibió?

PREGUNTAS DE PRÁCTICA

- 2-30.* Realice cada una de las siguientes conversiones. Si desea puede probar varios métodos en algunas de ellas para ver con cuál se adapta mejor. Por ejemplo, una conversión de binario a decimal puede realizarse en forma directa, o también mediante una conversión de binario a hexadecimal seguida de una conversión de hexadecimal a decimal.
- (a) $1417_{10} = \text{_____}_2$
 (b) $255_{10} = \text{_____}_2$
 (c) $11010001_2 = \text{_____}_{10}$
 (d) $1110101000100111_2 = \text{_____}_{10}$

- (e) $2497_{10} = \text{_____}_{16}$
- (f) $511_{10} = \text{_____}$ (BCD)
- (g) $235_{16} = \text{_____}_{10}$
- (h) $4316_{10} = \text{_____}_{16}$
- (i) $7A9_{16} = \text{_____}_{10}$
- (j) $3E1C_{16} = \text{_____}_{10}$
- (k) $1600_{10} = \text{_____}_{16}$
- (l) $38,187_{10} = \text{_____}_{16}$
- (m) $865_{10} = \text{_____}$ (BCD)
- (n) 100101000111 (BCD) = ______{10}
- (o) $465_{16} = \text{_____}_2$
- (p) $B34_{16} = \text{_____}_2$
- (q) 01110100 (BCD) = ______2
- (r) $111010_2 = \text{_____}$ (BCD)

2-31.* Represente el valor decimal 37 en cada una de las siguientes formas.

- (a) Binario directo.
- (b) BCD.
- (c) Hexadecimal.
- (d) ASCII (es decir, trate cada dígito como un carácter).

2-32.* Llene los espacios en blanco con la palabra o palabras correctas.

- (a) Para convertir de decimal a _____ se requiere de la división repetida entre 16.
- (b) Para convertir de decimal a binario se requiere de la división repetida entre _____.
- (c) En el código BCD, cada _____ se convierte en su equivalente binario de cuatro bits.
- (d) El código _____ tiene la característica de que sólo cambia un bit al avanzar de un paso al siguiente.
- (e) Un transmisor adjunta un _____ a un código para permitir que el receptor detecte _____.
- (f) El código _____ es código alfanumérico más común que se utiliza en los sistemas computacionales.
- (g) _____ se utiliza a menudo como una manera conveniente de representar números binarios extensos.
- (h) Una cadena de ocho bits se llama _____.

2-33. Escriba el número binario que se produce cuando cada uno de los siguientes números se incrementa en uno.

- (a)* 0111 (b) 010011 (c) 1011

2-34. Decremento cada uno de los siguientes números binarios.

- (a)* 1110 (b) 101000 (c) 1110

2-35. Escriba el número que se produce cuando se incrementa cada una de las siguientes cifras.

- (a)* 7779_{16} (c)* $0FFF_{16}$ (e)* $9FF_{16}$
 (b) 9999_{16} (d) 2000_{16} (f) $100A_{16}$

2-36.* Repita el problema 2-35 para la operación de decremento.

EJERCICIOS AVANZADOS

- 2-37.* En una microcomputadora, las *direcciones* de las localidades de memoria son números binarios que identifican cada uno de los circuitos de memoria en donde se almacena un byte. El número de bits que forman cada dirección depende de cuántas localidades de memoria haya. Como el número de bits puede ser muy extenso, a menudo las direcciones se especifican en hexadecimal, en lugar de binario.
- Si una microcomputadora utiliza una dirección de 20 bits, ¿cuántas localidades de memoria distintas hay?
 - ¿Cuántos dígitos hexadecimales se necesitan para representar la dirección de una localidad de memoria?
 - ¿Cuál es la dirección hexadecimal de la localidad de memoria número 256? (*Nota:* la primera dirección siempre es 0.)
- 2-38. En un CD de audio, la señal de voltaje de audio, por lo general, se muestrea aproximadamente 44,000 veces por segundo, y el valor de cada muestra se graba en la superficie del CD como número binario. En otras palabras, cada número binario que se graba representa un punto de voltaje individual en la forma de onda de la señal de audio.
- Si los números binarios tienen una longitud de seis bits, ¿cuántos valores de voltaje distintos pueden representarse mediante un solo número binario? Repita para ocho y diez bits.
 - Si se utilizan números de diez bits, ¿cuántos bits se grabarán en el CD en un segundo?
 - Si un CD puede almacenar, por lo general, 5 mil millones de bits, ¿cuántos segundos de audio pueden grabarse si se utilizan diez bits?
- 2-39.* Una cámara digital en blanco y negro coloca una rejilla fina sobre una imagen para después medir y registrar un número binario que representa el nivel de gris que ve en cada celda de la rejilla. Por ejemplo, si se utilizan números de cuatro bits el valor de negro se establece en 0000 y el valor de blanco en 1111, y cualquier nivel de gris puede tener algún valor entre 0000 y 1111. Si se utilizan números de seis bits, el negro es 000000 y el blanco es 111111, y todos los grises se encuentran entre estos dos valores.
- Suponga que queremos diferenciar entre 254 niveles de gris dentro de cada una de las celdas de la rejilla. ¿Cuántos bits necesitaríamos usar para representar estos niveles de gris?
- 2-40. Una cámara digital de 3 megapíxeles almacena un número de ocho bits para el brillo de cada uno de los colores primarios (rojo, verde, azul) que se encuentran en cada elemento de imagen (pixel). Si se almacenan todos los bits, sin compresión de datos, ¿cuántas imágenes pueden almacenarse en una tarjeta de memoria de 128 Megabytes? (*Nota:* en los sistemas digitales, Mega significa 2^{20}).
- 2-41. Construya una tabla que muestre las representaciones en binario, hexadecimal y BCD de todos los números decimales del 0 al 15. Compare sus resultados con la tabla 2-3.

RESPUESTAS A LAS PREGUNTAS DE REPASO DE LAS SECCIONES**SECCIÓN 2-1**

1. 2267 2. 32768

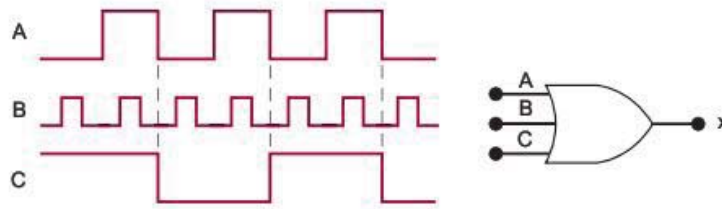
SECCIÓN 2-2

1. 1010011 2. 1011011001 3. 20 bits

SECCIÓN 3-3

- B** 3-1.* Dibuje la forma de onda de salida para la compuerta OR de la figura 3-52.

FIGURA 3-52



- B** 3-2. Suponga que la entrada *A* en la figura 3-52 se conectó a tierra en forma inadvertida (es decir, $A = 0$). Dibuje la forma de onda de salida resultante.
- B** 3-3.* Suponga que la entrada *A* en la figura 3-52 se pone en corto en forma inadvertida con la línea de suministro de +5 V (es decir, $A = 1$). Dibuje la forma de onda de salida resultante.
- C** 3-4. Lea las siguientes aseveraciones con respecto a una compuerta OR. Al principio tal vez parezcan válidas, pero después de analizarlas se dará cuenta que ninguna es verdadera *siempre*. Demuestre esto mediante un ejemplo específico para refutar cada aseveración.
- (a) Si la forma de onda de salida de una compuerta OR es igual que la forma de onda en una de sus entradas, la otra entrada se mantendrá de manera permanente en BAJO.
 - (b) Si la forma de onda de salida de una compuerta OR siempre está en ALTO, una de sus entradas se mantendrá de manera permanente en ALTO.
- B** 3-5. ¿Cuántas combinaciones distintas de condiciones de entrada producirán una salida en ALTO en una compuerta OR de cinco entradas?

SECCIÓN 3-4

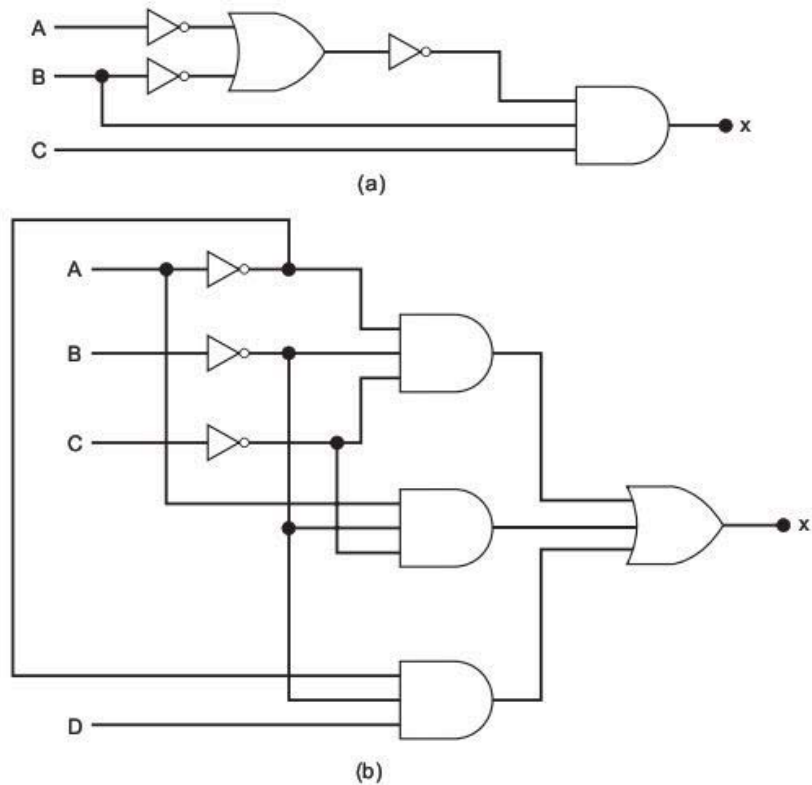
- B** 3-6. Cambie la compuerta OR en la figura 3-52 por una compuerta AND.
- (a)* Dibuje la forma de onda de salida.
 - (b) Dibuje la forma de onda de salida si la entrada *A* se conecta de manera permanente a tierra.
 - (c) Dibuje la forma de onda de salida si *A* se pone en corto de manera permanente con +5 V.
- D** 3-7.* Consulte la figura 3-4. Modifique el circuito de manera que la alarma se active sólo cuando la presión y la temperatura excedan sus límites máximos al mismo tiempo.
- B** 3-8.* Cambie la compuerta OR en la figura 3-6 por una compuerta AND y dibuje la forma de onda de la salida.
- B** 3-9. Suponga que tiene una compuerta desconocida de dos entradas, que puede ser OR o AND. ¿Qué combinación de niveles de entrada debe aplicar a las entradas para determinar qué tipo de compuerta es?
- B** 3-10. *Verdadero o falso*: sin importar cuántas entradas tenga, una compuerta AND producirá una salida en ALTO para sólo una combinación de niveles de entrada.

* Encontrará las respuestas a los problemas marcados con un asterisco al final del libro.

SECCIONES 3-5 A 3-7

- B** 3-11. Aplique la forma de onda A de la figura 3-23 a la entrada de un INVERSOR. Dibuje la forma de onda de salida. Repita el proceso para la forma de onda B.
- B** 3-12. (a)* Escriba la expresión booleana para la salida x en la figura 3-53(a). Determine el valor de x para todas las posibles condiciones de entrada y liste los valores en una tabla de verdad.
(b) Repita el proceso para el circuito de la figura 3-53(b).

FIGURA 3-53



- B** 3-13.* Cree una tabla de análisis completa para el circuito de la figura 3-15(b); para ello encuentre los niveles lógicos presentes en la salida de cada compuerta, para todas las 32 posibles combinaciones de entrada.
- B** 3-14. (a)* Cambie cada compuerta OR por una compuerta AND y cada compuerta AND por una compuerta OR en la figura 3-15(b). Después escriba la expresión para la salida.
(b) Complete una tabla de análisis.
- B** 3-15. Cree una tabla de análisis completa para el circuito de la figura 3-16; para ello encuentre los niveles lógicos presentes en la salida de cada compuerta, para todas las 16 posibles combinaciones de niveles de entrada.

SECCIÓN 3-8

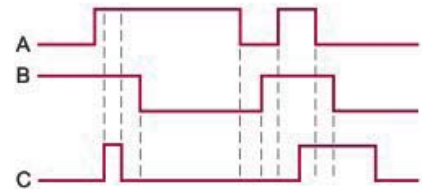
- B** 3-16. Para cada una de las siguientes expresiones, construya el circuito lógico correspondiente utilizando compuertas AND y OR e INVERSORES.
 - (a)* $x = \overline{AB(C + D)}$
 - (b)* $z = \overline{A + B + CDE} + \overline{BCD}$
 - (c) $y = \overline{(M + N + PQ)}$

- (d) $x = \overline{W + PQ}$
- (e) $z = MN(P + \bar{N})$
- (f) $x = (A + B)(\bar{A} + \bar{B})$

SECCIÓN 3-9

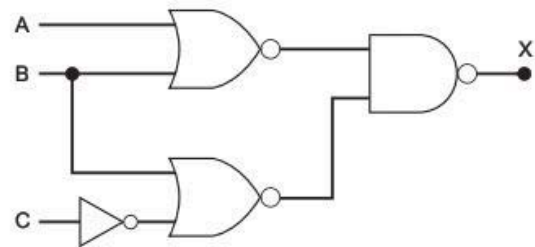
- B** 3-17.* (a) Aplique las formas de onda de entrada de la figura 3-54 a una compuerta NOR y dibuje la forma de onda de salida.
- (b) Repita el procedimiento manteniendo C de manera permanente en BAJO.
- (c) Repita el procedimiento manteniendo C en ALTO.

FIGURA 3-54



- B** 3-18. Repita el problema 3-17 para una compuerta NAND.
- C** 3-19.* Escriba la expresión para la salida de la figura 3-55 y utilícela para determinar la tabla de verdad completa. Después aplique las formas de onda de la figura 3-54 a las entradas del circuito y dibuje la forma de onda de salida resultante.

FIGURA 3-55



- B** 3-20. Determine la tabla de verdad para el circuito de la figura 3-24.
- B** 3-21. Modifique los circuitos que se construyeron en el problema 3-16 de manera que se utilicen compuertas NAND y NOR en donde sea apropiado.

SECCIÓN 3-10

- C** 3-22. Demuestre los teoremas (15a) y (15b) probando todos los casos posibles.
- B** 3-23.* PREGUNTA DE EJERCICIO

Complete cada una de las expresiones.

- (a) $A + 1 = \underline{\hspace{2cm}}$
- (b) $A \cdot A = \underline{\hspace{2cm}}$
- (c) $B \cdot \bar{B} = \underline{\hspace{2cm}}$
- (d) $C + C = \underline{\hspace{2cm}}$
- (e) $x \cdot 0 = \underline{\hspace{2cm}}$
- (f) $D \cdot 1 = \underline{\hspace{2cm}}$
- (g) $D + 0 = \underline{\hspace{2cm}}$
- (h) $C + \bar{C} = \underline{\hspace{2cm}}$
- (i) $G + GF = \underline{\hspace{2cm}}$
- (j) $y + \bar{w}y = \underline{\hspace{2cm}}$

- C** 3-24. (a)* Simplifique la siguiente expresión usando los teoremas (13b), (3) y (4):

$$x = (M + N)(\bar{M} + P)(\bar{N} + \bar{P})$$

- (b) Simplifique la siguiente expresión utilizando los teoremas (13a), (8) y (6):

$$z = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + \bar{B}CD$$

SECCIONES 3-11 Y 3-12

- C** 3-25. Demuestre los teoremas de DeMorgan probando todos los casos posibles.
- B** 3-26. Simplifique cada una de las siguientes expresiones usando los teoremas de DeMorgan.
- | | | |
|-------------------------|----------------------------|---------------------------------|
| (a)* \overline{ABC} | (d) $\overline{A + B}$ | (g)* $\overline{A(B + C)D}$ |
| (b) $\overline{A + BC}$ | (e)* \overline{AB} | (h) $\overline{(M + N)(M + N)}$ |
| (c)* \overline{ABCD} | (f) $\overline{A + C + D}$ | (i) \overline{ABCD} |
- B** 3-27.* Use los teoremas de DeMorgan para simplificar la expresión de salida de la figura 3-55.
- C** 3-28. Convierta el circuito de la figura 3-53(b) en uno que utilice sólo compuertas NAND. Después escriba la expresión de salida para el nuevo circuito, simplifíquelo utilizando los teoremas de DeMorgan y compárelo con la expresión para el circuito original.
- C** 3-29. Convierta el circuito de la figura 3-53(a) en uno que utilice sólo compuertas NOR. Después escriba la expresión para el nuevo circuito, simplifíquelo utilizando los teoremas de DeMorgan y compárelo con la expresión para el circuito original.
- B** 3-30. Muestre cómo puede construirse una compuerta NAND de dos entradas a partir de dos compuertas NOR de dos entradas.
- B** 3-31. Muestre cómo puede construirse una compuerta NOR de dos entradas a partir de compuertas NAND de dos entradas.
- C** 3-32. Un jet emplea un sistema para monitorear los valores de revoluciones por minuto (rpm), presión y temperatura de sus motores mediante el uso de sensores que operan de la siguiente manera:

salida del sensor de RPM = 0 sólo cuando la velocidad < 4800 rpm

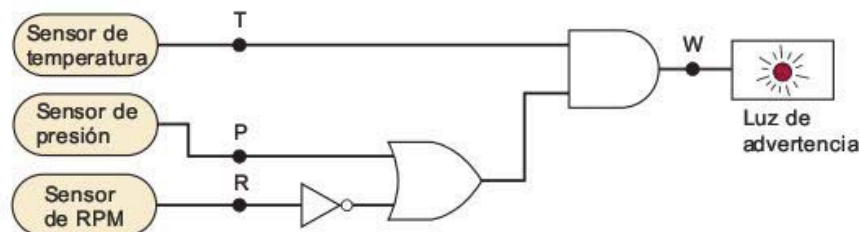
salida del sensor P = 0 sólo cuando la presión < 220 psi

salida del sensor T = 0 sólo cuando la temperatura < 200° F

La figura 3-56 muestra el circuito lógico que controla una luz de advertencia en cabina para ciertas combinaciones de condiciones del motor. Suponga que un nivel ALTO en la salida W activa la luz de advertencia.

- (a)* Determine qué condiciones del motor darán una advertencia al piloto.
- (b) Cambie este circuito por uno que utilice sólo compuertas NAND.

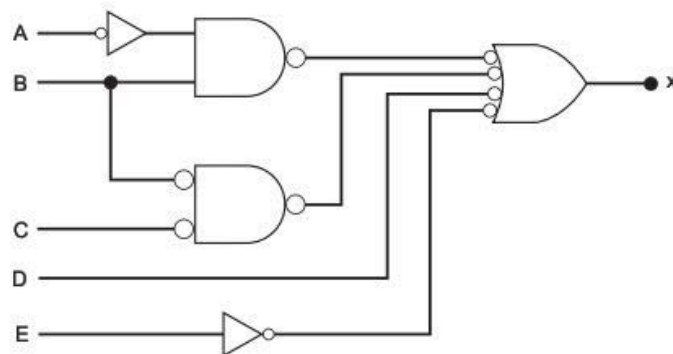
FIGURA 3-56



SECCIONES 3-13 Y 3-14

- B** 3-33. Para cada una de las siguientes instrucciones, dibuje el símbolo de compuerta lógica (estándar o alternativo) apropiado para la operación dada.
 - (a) Una salida en ALTO ocurre sólo cuando las tres entradas están en BAJO.
 - (b) Una salida en BAJO ocurre cuando alguna de las cuatro entradas está en BAJO.
 - (c) Una salida activa en BAJO ocurre sólo cuando las ocho entradas están en ALTO.
- B** 3-34. Dibuje las representaciones estándar para cada una de las compuertas lógicas básicas. Después dibuje las representaciones alternativas.
- C** 3-35. Suponga que el circuito de la figura 3-55 es un candado de combinación digital simple, cuya salida generará una señal ABRIR activa en BAJO para sólo una combinación de entradas.
 - (a)* Modifique el diagrama del circuito de tal forma que represente la operación del circuito de una manera más efectiva.
 - (b) Use el nuevo diagrama del circuito para determinar la combinación de entradas que activará la salida. Para ello, trabaje regresando desde la salida y utilizando la información que proporcionan los símbolos de las compuertas, como se hizo en los ejemplos 3-22 y 3-23. Compare los resultados con la tabla de verdad que se obtuvo en el problema 3-19.
- C** 3-36. (a) Determine las condiciones de entrada necesarias para activar la salida Z en la figura 3-37(b). Para ello, trabaje regresando desde la salida, como se hizo en los ejemplos 3-22 y 3-23.
 - (b) Suponga que el estado BAJO de Z es el que debe activar la alarma. Cambie el diagrama del circuito para reflejar lo anterior y después utilice el diagrama revisado para determinar las condiciones de entrada necesarias para activar la alarma.
- D** 3-37. Modifique el circuito de la figura 3-40, de manera que se necesite que $A_1 = 0$ para producir $UNIDAD = 1$, en lugar de $A_1 = 1$.
- B** 3-38.* Determine las condiciones de entrada necesarias para hacer que la salida en la figura 3-57 cambie a su estado activo.

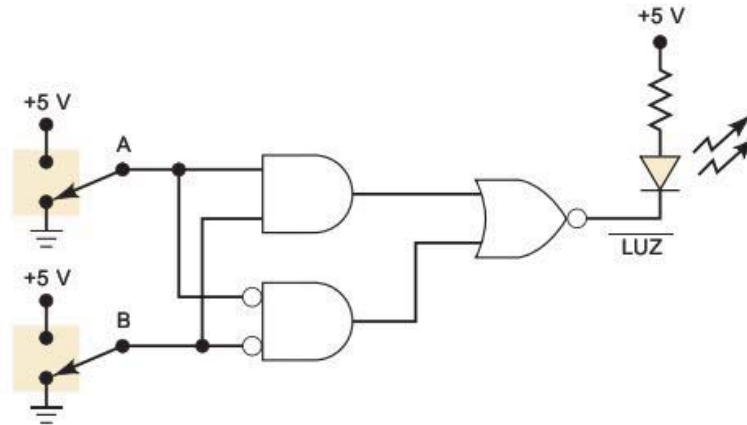
FIGURA 3-57



- B** 3-39.* ¿Cuál es el estado asignado para la salida de la figura 3-57?, ¿para la salida de la figura 3-36(c)?
- B** 3-40. Use los resultados del problema 3-38 para obtener la tabla de verdad completa para el circuito de la figura 3-57.
- N** 3-41.* La figura 3-58 muestra una aplicación de compuertas lógicas que simula un interruptor de dos vías, como los que utilizamos en nuestros hogares para encender o apagar una luz desde dos interruptores distintos. Aquí la luz

es un LED que estará ENCENDIDO (en conducción) cuando la salida de la compuerta NOR esté en BAJO. Observe que esta salida está etiquetada como *LUZ* para indicar que es activa en BAJO. Determine las condiciones de entrada necesarias para encender el LED. Después verifique que el circuito opere como un interruptor de dos vías, utilizando los interruptores *A* y *B*. (En el capítulo 4 aprenderá a diseñar circuitos como éste para producir una relación dada entre las entradas y las salidas.)

FIGURA 3-58



SECCIÓN 3-15

- B** 3-42. Vuelva a dibujar los circuitos de (a)* la figura 3-57 y (b) la figura 3-58 mediante el uso de los símbolos IEEE/ANSI.

SECCIÓN 3-17

PREGUNTAS DE PRÁCTICA DE HDL

- H** 3-43.* *Verdadero o falso:*
- VHDL es un lenguaje de programación de computadoras.
 - VHDL puede hacer lo mismo que AHDL.
 - AHDL es un lenguaje del estándar IEEE.
 - Cada intersección en una matriz de conmutación puede programarse como un circuito abierto o cerrado, entre un alambre de fila con uno de columna.
 - El primer elemento que aparece en la parte superior de un listado de HDL es la descripción funcional.
 - El tipo de un objeto indica si es una entrada o una salida.
 - El modo de un objeto determina si es una entrada o una salida.
 - Los nodos ocultos son nodos que se han eliminado y que nunca se utilizarán de nuevo.
 - Las señales locales son otro nombre para las variables intermedias.
 - El encabezado es un bloque de comentarios que documentan información vital sobre el proyecto.

SECCIÓN 3-18

- B** 3-44. Vuelva a dibujar la matriz de conexiones programable de la figura 3-44. Etiquete las señales de salida (líneas horizontales) de la matriz de conexión

TÉRMINOS IMPORTANTES

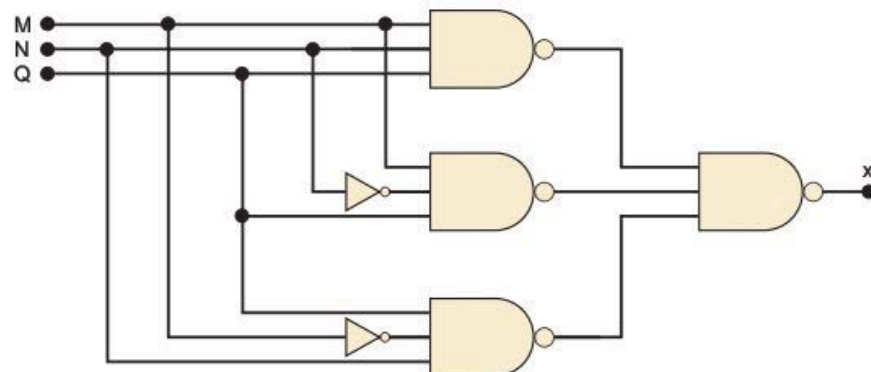
agrupamiento	estructuras de control de decisiones	OR exclusivo (XOR)
arreglo de bits	flotante	PROCESS
arriba-abajo	generación de paridad	producto de sumas (POS)
asignación de señal selecta	habilitar/deshabilitar	programador secuencial
bibliotecas	IF/THEN	Semiconductor Metal-Óxido-complementario (CMOS)
BIT_VECTOR	Índice	sonda lógica
CASE	indeterminado	SSI, MSI, LSI, VLSI, ULSI, GSI
cero esfuerzo de inserción (ZIF)	JEDEC	STD_LOGIC
colisión	JTAG	STD_LOGIC_VECTOR
comprobación de paridad	lista de sensibilidad	suma de productos (SOP)
concatenación	literales	vector de bits
concurrentes	lógica de transistor/transistor (TTL)	vectores de prueba
condición de "no importa"	macrofunción	
diseño jerárquico	mapa de Karnaugh (mapa K)	
ELSE	NOR exclusivo (XNOR)	
ELSIF	objetos	
encapsulado dual en línea (DIP)		
entero		

PROBLEMAS

SECCIONES 4-2 Y 4-3

- B** 4-1.* Simplifique las siguientes expresiones mediante el uso del álgebra booleana.
- (a) $x = ABC + \bar{A}C$
- (b) $y = (Q + R)(\bar{Q} + \bar{R})$
- (c) $w = ABC + \bar{A}BC + \bar{A}$
- (d) $q = \bar{R}ST(R + S + T)$
- (e) $x = \bar{A}\bar{B}\bar{C} + \bar{A}BC + ABC + A\bar{B}\bar{C} + \bar{A}\bar{B}C$
- (f) $z = (B + \bar{C})(\bar{B} + C) + \bar{A} + B + \bar{C}$
- (g) $y = (\bar{C} + \bar{D}) + \bar{A}CD + \bar{A}B\bar{C} + \bar{A}\bar{B}CD + \bar{A}CD$
- (h) $x = AB(\bar{C}D) + \bar{A}BD + \bar{B}\bar{C}D$
- B** 4-2. Simplifique el circuito de la figura 4-65 mediante el uso del álgebra booleana.

FIGURA 4-65
Problemas 4-2 y 4-3.



* Encontrará las respuestas a los problemas marcados con un asterisco al final del libro.

- B** 4-3.* Cambie cada una de las compuertas del problema 4-2 por compuertas NOR y simplifique el circuito mediante álgebra booleana.

SECCIÓN 4-4

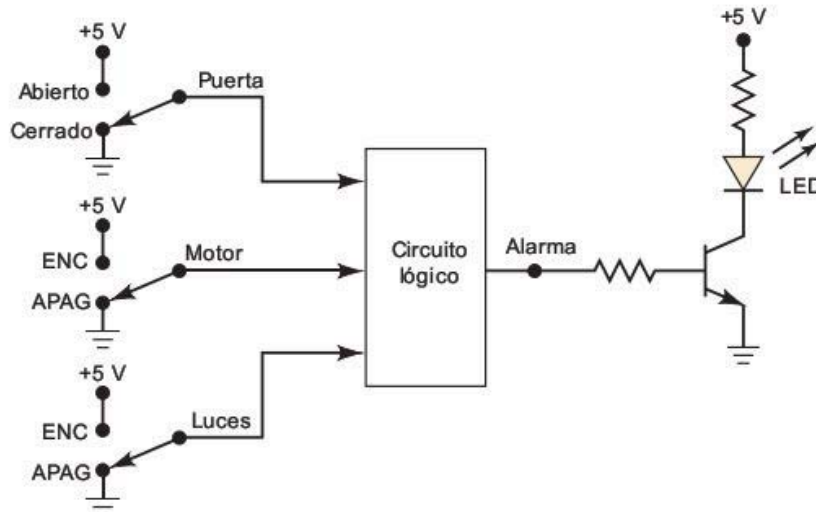
- B, D** 4-4.* Diseñe el circuito lógico que corresponde a la tabla de verdad que se muestra en la tabla 4-11.

TABLA 4-11

A	B	C	x
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

- B, D** 4-5. Diseñe un circuito lógico cuya salida esté en ALTO sólo cuando la mayoría de las entradas A, B y C estén en BAJO.
- D** 4-6. Una planta de manufactura necesita tener un sonido de bocina para indicar la hora de salida. La bocina deberá activarse cuando se cumpla cualquiera de las siguientes condiciones:
1. Es después de las 5 en punto y todas las máquinas están apagadas.
 2. Es viernes, se completó la producción del día y todas las máquinas están apagadas.
- Diseñe un circuito lógico que controle la bocina. (*Sugerencia:* use cuatro variables lógicas de entrada para representar las diversas condiciones; por ejemplo, la entrada A estará en ALTO sólo cuando sean las 5 en punto o más tarde.)
- D** 4-7.* Un número binario de cuatro bits se representa como $A_3 A_2 A_1 A_0$, en donde A_3, A_2, A_1 y A_0 representan los bits individuales y A_0 es igual al LSB. Diseñe un circuito lógico que produzca una salida en ALTO cada vez que el número binario sea mayor que 0010 y menor que 1000.
- D** 4-8. La figura 4-66 muestra un diagrama para un circuito de alarma de automóvil que se utiliza para detectar ciertas condiciones indeseables. Los tres inte-

FIGURA 4-66
Problema 4-8.



ruptores se utilizan para indicar el estado de la puerta del lado del conductor, el motor y las luces, en forma respectiva. Diseñe el circuito lógico con estos tres interruptores como entradas, de manera que la alarma se active cada vez que exista cualquiera de las siguientes condiciones:

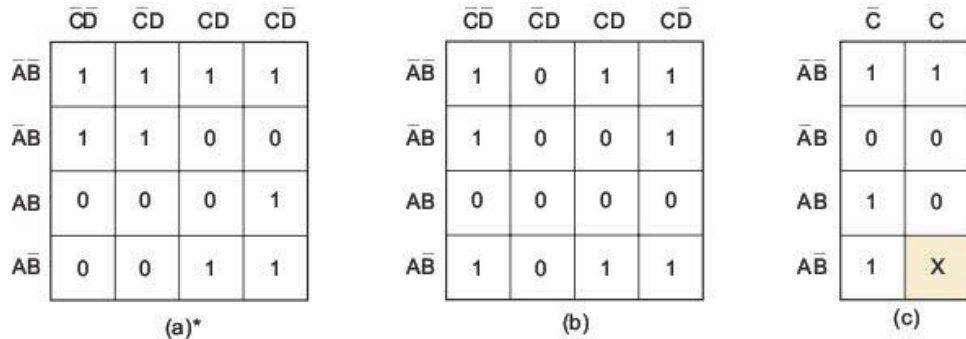
- Las luces estén encendidas mientras que el motor esté apagado.
- La puerta esté abierta mientras que el motor esté encendido.

- 4-9.* Implemente el circuito del problema 4-4, utilizando sólo compuertas NAND.
- 4-10. Implemente el circuito del problema 4-5, utilizando sólo compuertas NAND.

SECCIÓN 4-5

- B** 4-11. Determine la expresión mínima para cada uno de los mapas K en la figura 4-67. Ponga especial atención al paso 5 para el mapa en (a).

FIGURA 4-67
Problema 4-11.

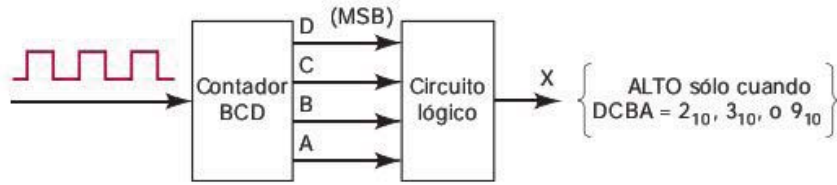


- B** 4-12. Para la tabla de verdad que se muestra a continuación, cree un mapa K de 2×2 , agrupe los términos y simplifique. Después analice de nuevo la tabla de verdad para ver si la expresión es verdadera para todas las entradas en la tabla.

A	B	y
0	0	1
0	1	1
1	0	0
1	1	0

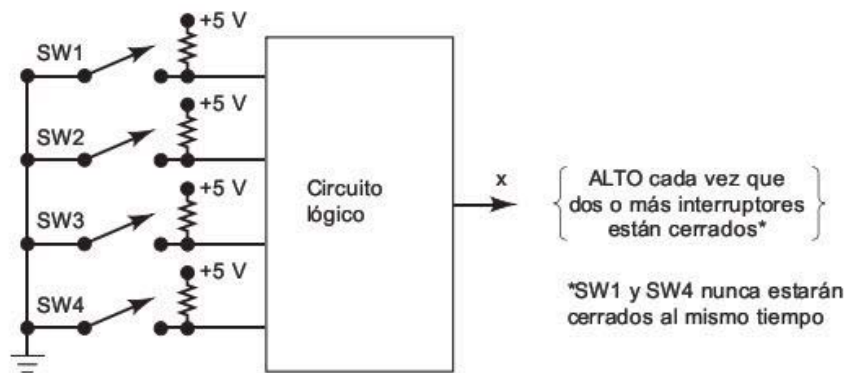
- B** 4-13. Empezando con la tabla de verdad en la tabla 4-11, utilice un mapa K para encontrar la ecuación SOP más simple.
- B** 4-14. Simplifique la expresión en (a)* el problema 4-1(e), usando un mapa K. (b) el problema 4-1(g), usando un mapa K. (c)* el problema 4-1(h), usando un mapa K.
- B** 4-15.* Obtenga la expresión de salida para el problema 4-7, usando un mapa K.
- C,D** 4-16. La figura 4-68 muestra un *contador BCD* que produce una salida de cuatro bits, la cual representa el código BCD para el número de pulsos que se han aplicado a la entrada del contador. Por ejemplo, después de haberse producido cuatro pulsos, las salidas del contador son $DCBA = 0100_2 = 4_{10}$. El contador se restablece a 0000 en el décimo pulso y empieza a contar de nuevo. En otras palabras, las salidas $DCBA$ nunca representarán a un número mayor de $1001_2 = 9_{10}$.
- (a)* Diseñe el circuito lógico que produzca una salida en ALTO cada vez que el conteo sea 2, 3 o 9. Use el mapeo K y aproveche las condiciones “no importa”.
- (b) Repita el proceso para $x = 1$ cuando $DCBA = 3, 4, 5, 8$.

FIGURA 4-68
Problema 4-16.



- D** 4-17.* La figura 4-69 muestra cuatro interruptores que forman parte de los circuitos de control en una máquina copiadora. Los interruptores están en varios puntos a lo largo de la ruta del papel, a medida que éste pasa a través de la máquina. Cada interruptor está, por lo general, abierto, y a medida que el papel pasa a través de un interruptor, éste se cierra. Es imposible que los interruptores SW1 y SW4 estén cerrados al mismo tiempo. Diseñe el circuito lógico para producir una salida en ALTO cada vez que *dos o más* interruptores estén cerrados al mismo tiempo. Use el mapeo K y aproveche las condiciones “no importa”.

FIGURA 4-69
Problema 4-17.

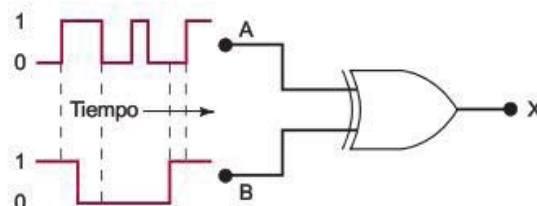


- B** 4-18. El ejemplo 4-3 demostró la simplificación algebraica. El paso 3 produjo la ecuación SOP $z = \bar{A} B C + \bar{A} C D + \bar{A} B C D + ABC$. Use un mapa K para demostrar que esta ecuación puede simplificarse aún más que la respuesta que se muestra en el ejemplo.
- C** 4-19. Utilice el álgebra booleana para llegar al mismo resultado que se obtuvo mediante el método del mapa K del problema 4-18.

SECCIÓN 4-6

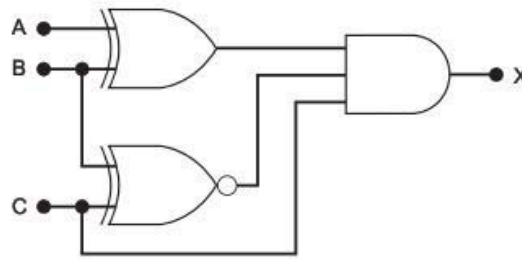
- B** 4-20. (a) Determine la forma de onda de salida para el circuito de la figura 4-70.
(b) Repita el proceso con la entrada B mantenida en BAJO.
(c) Repita el proceso con la entrada B mantenida en ALTO.

FIGURA 4-70 Problema 4-20.



- B** 4-21.* Determine las condiciones de entrada necesarias para producir $x = 1$ en la figura 4-71.

FIGURA 4-71 Problema 4-21.



- B** 4-22. Diseñe un circuito que produzca una salida en ALTO sólo cuando las tres entradas estén en el mismo nivel.
- (a) Use una tabla de verdad y un mapa K para producir la solución SOP.
- (b) Use compuertas XOR de dos entradas y otras compuertas para encontrar una solución. (*Sugerencia:* recuerde la propiedad transitiva del álgebra... si $a = b$ y $b = c$ entonces $a = c$.)
- B** 4-23.* Un chip 7486 contiene cuatro compuertas XOR. Muestre cómo hacer una compuerta XNOR utilizando sólo un chip 7486. *Sugerencia:* vea el ejemplo 4-16.
- B** 4-24.* Modifique el circuito de la figura 4-23 para comparar dos números de cuatro bits y producir una salida en ALTO cuando los dos números concuerden de manera exacta.
- B** 4-25. La figura 4-72 representa un *detector de magnitud relativa* que toma dos números binarios de tres bits ($x_2x_1x_0$ y $y_2y_1y_0$) y determine si son iguales; en caso de no ser así, que determine cuál es más grande. Hay tres salidas, que se definen de la siguiente manera:
1. $M = 1$ sólo si los dos números de entrada son iguales.
 2. $N = 1$ sólo si $x_2x_1x_0$ es mayor que $y_2y_1y_0$.
 3. $P = 1$ sólo si $y_2y_1y_0$ es mayor que $x_2x_1x_0$.

Diseñe los circuitos lógicos para este detector. El circuito tiene *seis* entradas y *tres* salidas, por lo que es demasiado complejo como para manejarlo mediante el método de la tabla de verdad. Consulte el ejemplo 4-17 como una *sugerencia* sobre cómo podría empezar a resolver este problema.

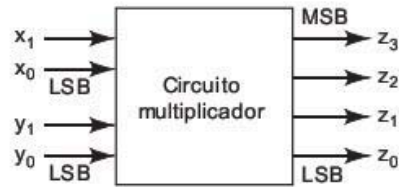
FIGURA 4-72 Problema 4-25.



MÁS PROBLEMAS DE DISEÑO

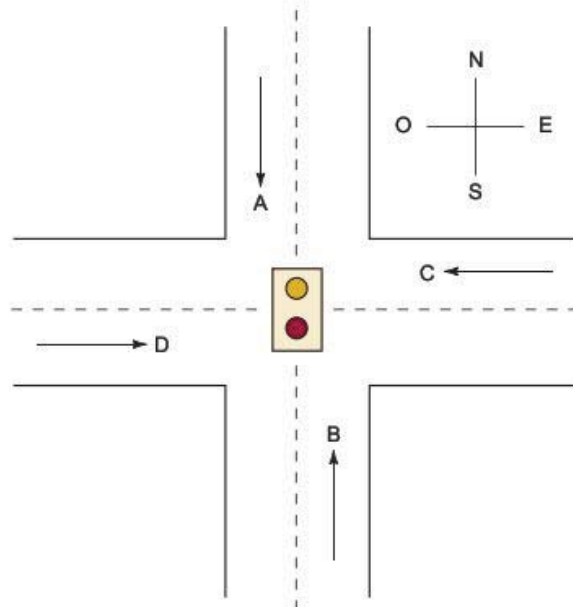
- C,D** 4-26.* La figura 4-73 representa un circuito multiplicador que toma dos números binarios de dos bits (x_1x_0 y y_1y_0) y produce un número binario de salida $z_3z_2z_1z_0$ que es igual al producto aritmético de los dos números de entrada. Diseñe el circuito lógico para el multiplicador. (*Sugerencia:* el circuito lógico tendrá cuatro entradas y cuatro salidas.)

FIGURA 4-73 Problema 4-26.



- D** 4-27. Un código BCD se está transmitiendo a un receptor remoto. Los bits son A_3, A_2, A_1 y A_0 , en donde A_3 es el MSB. Entre los circuitos del receptor incluye un circuito *detector de errores BCD*, el cual examina el código recibido para ver si es un código de BCD legal (es decir, ≤ 1001). Diseñe este circuito para producir un nivel ALTO para cualquier condición de error.
- D** 4-28.* Diseñe un circuito lógico cuya salida esté en ALTO cada vez que A y B estén ambas en ALTO, siempre y cuando C y D estén ambas en BAJO o ambas en ALTO. Trate de hacer esto sin utilizar una tabla de verdad. Después compruebe su resultado construyendo una tabla de verdad a partir de su circuito, para ver si concuerda con la declaración del problema.
- D** 4-29. Cuatro tanques grandes en una planta química que contienen distintos líquidos se están calentando. Se utilizan sensores de nivel de líquido para detectar cuando el tanque A o el tanque B se eleva por encima de un nivel predeterminado. Los sensores de temperatura en los tanques C y D detectan cuando la temperatura en cualquiera de estos tanques cae por debajo de un límite prescrito. Suponga que las salidas A y B del sensor de nivel de líquido están en BAJO cuando el nivel es satisfactorio y en ALTO cuando el nivel es demasiado alto. Además, las salidas C y D del sensor de temperatura están en BAJO cuando la temperatura es satisfactoria y en ALTO cuando la temperatura es demasiado baja. Diseñe un circuito lógico que detecte cada vez que el nivel en el tanque A o en el tanque B es demasiado alto, al mismo tiempo que la temperatura en el tanque C o en el tanque D sea demasiado baja.
- C,D** 4-30.* La figura 4-74 muestra la intersección de una autopista principal con un camino de acceso secundario. Se colocaron sensores de detección de vehículos a lo largo de los carriles C y D (camino principal) y de los carriles A y B (camino de acceso). Las salidas de estos sensores están en BAJO (0) cuando

FIGURA 4-74 Problema 4-30.



no hay vehículos presentes, y en ALTO (1) cuando hay vehículos presentes. El semáforo de la intersección debe controlarse de acuerdo con la siguiente lógica:

1. El semáforo este-oeste (E-O) se pondrá en verde cada vez que estén ocupados ambos carriles *C* y *D*.
2. El semáforo E-O estará en verde cada vez que *C* o *D* estén ocupados, pero cuando *A* y *B* no estén ambos ocupados.
3. El semáforo norte-sur (N-S) se pondrá en verde cada vez que *ambos* carriles *A* y *B* estén ocupados, pero cuando *C* y *D* no estén *ambos* ocupados.
4. El semáforo N-S también se pondrá en verde cuando *A* o *B* estén ocupados, mientras que *C* y *D* estén *ambos* vacantes.
5. El semáforo E-O cuando *no* haya vehículos presentes.

Utilizando las salidas del sensor *A*, *B*, *C* y *D* como entradas, diseñe un circuito lógico para controlar el semáforo. Debe haber dos salidas, N-S y E-O, que cambien a ALTO cuando la luz correspondiente se vaya a poner en *verde*. Simplifique el circuito lo más que se pueda y muestre *todos* los pasos.

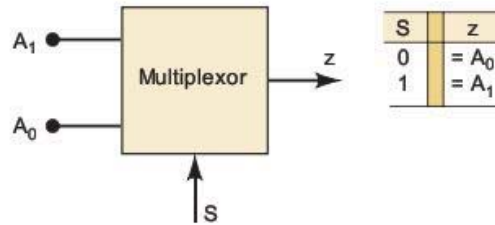
SECCIÓN 4-7

- D** 4-31. Rediseñe el generador y comprobador de paridad de la figura 4-25 para que (a) opere usando paridad impar. (*Sugerencia*: ¿cuál es la relación entre un bit de paridad impar y un bit de paridad par para el mismo conjunto de bits de datos?) (b) Opere con ocho bits de datos.

SECCIÓN 4-8

- B** 4-32. (a) ¿Bajo qué condiciones permitirá una compuerta OR que una señal lógica pase hacia su salida sin modificarla?
 (b) Repita el inciso (a) para una compuerta AND.
 (c) Repita el proceso para una compuerta NAND.
 (d) Repita el proceso para una compuerta NOR.
- B** 4-33.* (a) ¿Puede utilizarse un INVERSOR como un circuito de habilitación/deshabilitación? Explique.
 (b) ¿Puede usarse una compuerta XOR como un circuito de habilitación/deshabilitación? Explique.
- D** 4-34. Diseñe un circuito lógico que permita que la señal de entrada *A* pase hasta la salida sólo cuando la entrada de control *B* esté en BAJO, mientras que la entrada de control *C* esté en ALTO; en caso contrario, la salida debe estar en BAJO.
- D** 4-35.* Diseñe un circuito que *deshabilite* el paso de una señal de entrada sólo cuando las entradas de control *B*, *C* y *D* estén todas en ALTO; la salida deberá estar en ALTO para la condición deshabilitada.
- D** 4-36. Diseñe un circuito lógico que controle el paso de la señal *A*, de acuerdo con los siguientes requerimientos:
1. La salida *X* será igual a *A* cuando las entradas de control *B* y *C* sean iguales.
 2. *X* permanecerá en ALTO cuando *B* y *C* sean distintas.
- D** 4-37. Diseñe un circuito lógico que tenga dos señales de entrada A_1 y A_0 , y una entrada de control *S* de manera que funcione de acuerdo con los requerimientos descritos en la figura 4-75. (A este tipo de circuito se le conoce como *multiplexor*, el cual veremos en el capítulo 9.)

FIGURA 4-75 Problema 4-37.

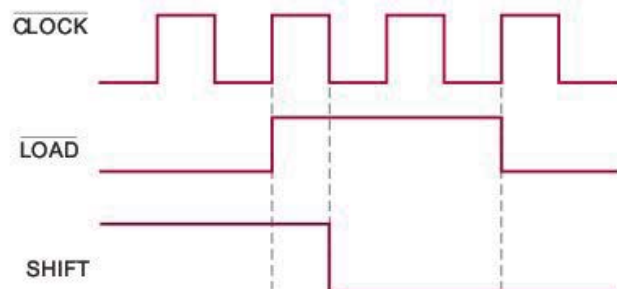


- D** 4-38.* Use el mapeo K para diseñar un circuito que cumpla con los requerimientos del ejemplo 4-17. Compare este circuito con la solución en la figura 4-23. Aquí se recalca que el método del mapa K no puede aprovechar la lógica de las compuertas XOR y XNOR. El diseñador debe ser capaz de determinar cuándo pueden utilizarse estas compuertas.

SECCIONES 4-9 A 4-13

- F** 4-39. (a) Un técnico que está probando un circuito lógico se da cuenta de que la salida de cierto INVERSOR está atascada en BAJO mientras que su entrada esté pulsando. Liste todas las posibles razones que pueda para esta operación defectuosa.
 (b) Repita el inciso (a) para el caso en el que la salida del INVERSOR se quede atascada en un nivel lógico indeterminado.
- F** 4-40.* Las señales que se muestran en la figura 4-76 se aplican a las entradas del circuito de la figura 4-32. Suponga que hay un circuito abierto interno en Z1-4.
- (a) ¿Qué indicará una sonda lógica en Z1-4?
 (b) ¿Qué lectura de voltaje de corriente directa esperaría en Z1-4? (Recuerde que los CIs son TTL.)
 (c) Haga un bosquejo de cuál cree usted que será la apariencia de las señales *CLKOUT* y *SHIFTOUT*.
 (d) En vez del circuito abierto en Z1-4, suponga que las terminales 9 y 10 de Z2 están en corto interno. Haga un bosquejo de las probables señales en Z2-10, *CLOCKOUT* y *SHIFTOUT*.

FIGURA 4-76 Problema 4-40.



- F** 4-41. Suponga que los CIs de la figura 4-32 son CMOS. Describa cómo se vería afectada la operación del circuito debido a un circuito abierto en el conductor que conecta a Z2-2 y Z2-10.
- F** 4-42. En el ejemplo 4-24 listamos tres posibles fallas para la situación de la figura 4-36. ¿Qué procedimiento seguiría usted para determinar cuál de las fallas es la que se está produciendo en realidad?
- F** 4-43.* Consulte el circuito de la figura 4-38. Suponga que los dispositivos son CMOS. Suponga además que la indicación de la sonda lógica en Z2-3 es

* Recuerde que F indica un ejercicio de diagnóstico de fallas.

“indeterminado”, en vez de “pulsando”. Liste las posibles fallas y escriba un procedimiento a seguir para determinar la verdadera falla?

- F 4-44.* Consulte el circuito lógico de la figura 4-41. Recuerde que se supone que la salida Y debe estar en ALTO para cualquiera de las siguientes condiciones:

1. $A = 1, B = 0$, sin importar C
2. $A = 0, B = 1, C = 1$

Al probar el circuito, el técnico observa que Y cambia a ALTO sólo para la primera condición, pero permanece en BAJO para todas las demás condiciones de entrada. Considere la siguiente lista de posibles fallas. Para cada una de ellas, escriba sí o no para indicar si podría o no ser la verdadera falla. Explique su razonamiento para cada una de las opciones en las que conteste que no.

- (a) Un corto interno a tierra en Z2-13.
 - (b) Un circuito abierto en la conexión a Z2-13.
 - (c) Un corto interno con V_{CC} en Z2-11.
 - (d) Un circuito abierto en la conexión de V_{CC} con Z2.
 - (e) Un circuito abierto interno en Z2-9.
 - (f) Un circuito abierto en la conexión de Z2-11 a Z2-9.
 - (g) Un puente de soldadura entre las terminales 6 y 7 de Z2.
- F 4-45. Desarrolle un procedimiento para aislar la falla que esté produciendo el funcionamiento defectuoso descrito en el problema 4-44.

- F 4-46.* Suponga que todas las compuertas en la figura 4-41 son CMOS. Cuando el técnico prueba el circuito descubre que opera en forma correcta, excepto para las siguientes condiciones:

1. $A = 1, B = 0, C = 0$
2. $A = 0, B = 1, C = 1$

Para estas condiciones, la sonda lógica indica niveles indeterminados en Z2-6, Z2-11 y Z2-8. ¿Cuál cree usted que sea la probable falla en el circuito? Explique su razonamiento.

- F 4-47. La figura 4-77 es un circuito lógico combinacional que opera una alarma en un automóvil, cada vez que están ocupados los asientos del conductor y/o del pasajero y que los cinturones de seguridad no están abrochados cuando el automóvil arranca. Las señales *CONDUC* y *PASAJ* activas en ALTO indican la presencia del conductor y del pasajero en forma respectiva, y se obtienen mediante interruptores operados por presión en los asientos. La señal *ENC* es activa en ALTO cuando el interruptor de encendido está activado. La señal *CINTC* es activa en BAJO e indica que el cinturón de seguridad

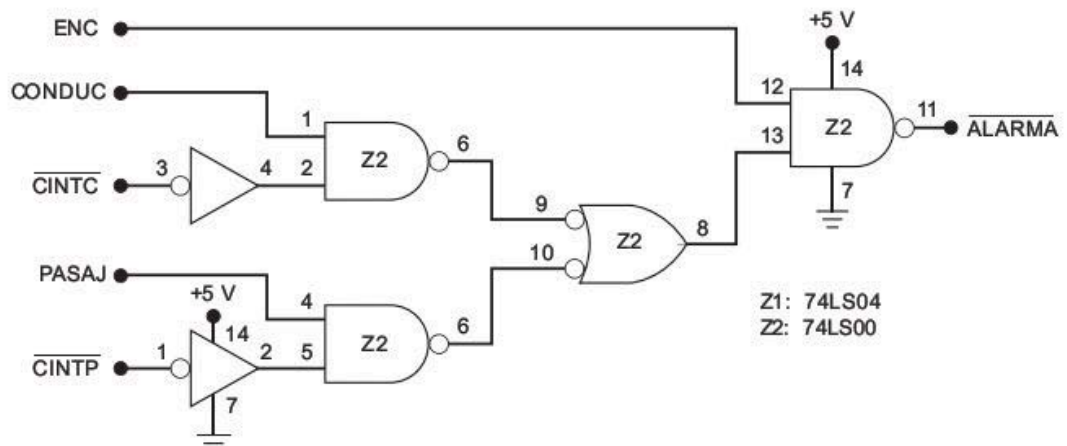


FIGURA 4-77 Problemas 4-47, 4-48 y 4-49.

del conductor *no está abrochado*; \overline{CINTP} es la señal correspondiente para el cinturón de seguridad del pasajero. La alarma se activará (BAJO) cada vez que se encienda el automóvil, que cualquiera de los asientos delanteros esté ocupado y que su cinturón de seguridad no esté abrochado.

- (a) Verifique que el circuito funcione de la manera descrita.
 - (b) Describa cómo operaría este sistema de alarma si Z1-2 estuviera en corto interno con tierra.
 - (c) Describa cómo operaría si hubiera una conexión abierta de Z2-6 a Z2-10.
- F** 4-48.* Suponga que el sistema de la figura 4-77 está funcionando de manera que la alarma se active tan pronto como el conductor o algún pasajero estén sentados y el automóvil esté encendido, sin importar el estado de los cinturones de seguridad. ¿Cuáles son las posibles fallas? ¿Qué procedimiento seguiría usted para encontrar la verdadera falla?
- F** 4-49.* Suponga que el sistema de alarma de la figura 4-77 está operando de manera que la alarma se encienda en forma continua tan pronto como se encienda el automóvil, sin importar el estado de las demás entradas. Liste las posibles fallas y escriba un procedimiento para aislar la falla.

PREGUNTAS DE PRÁCTICA SOBRE PLDS (50 A 55)

4-50.* *Verdadero o falso:*

- (a) El diseño de arriba hacia abajo comienza con una descripción general de todo el sistema y sus especificaciones.
 - (b) Un archivo JEDEC puede usarse como archivo de entrada para un programador.
 - (c) Si un archivo de entrada se compila sin errores, significa que el circuito PLD funcionará en forma correcta.
 - (d) Un compilador puede interpretar código a pesar de los errores de sintaxis.
 - (e) Los vectores de prueba se utilizan para simular y probar un dispositivo.
- H,B** 4-51. ¿Qué son los caracteres % que se utilizan para el archivo de diseño de AHDL?
- H,B** 4-52. ¿Cómo se indican los comentarios en un archivo de diseño de VHDL?
- B** 4-53. ¿Qué es un zócalo ZIF?
- B** 4-54.* Enliste tres modos de entrada utilizados para introducir la descripción de un circuito en el software de desarrollo de PLDs.
- B** 4-55. ¿Qué significan JEDEC y HDL?

SECCIÓN 4-15

- H,B** 4-56. Declare los siguientes objetos de datos en AHDL o VHDL.
- (a)* Un arreglo de ocho bits de salida llamados *aparatos*.
 - (b) Un bit individual de salida llamado *chicharra*.
 - (c) Un puerto de entrada numérico de 16 bits llamado *altitud*.
 - (d) Un bit individual intermedio dentro de un archivo de descripción de hardware llamado *alambre2*.
- H,B** 4-57. Expresé los siguientes números literales en hexadecimal, binario y decimal, utilizando la sintaxis de AHDL o VHDL.
- (a)* 152_{10}
 - (b) 1001010100_2
 - (c) $3C_{16}$
- H,B** 4-58.* La siguiente definición de E/S que se da para AHDL y para VHDL. Escriba cuatro instrucciones de asignación concurrentes que conecten las entradas con las salidas, como se muestra en la figura 4-78.

FIGURA 4-78
Problema 4-58.

```

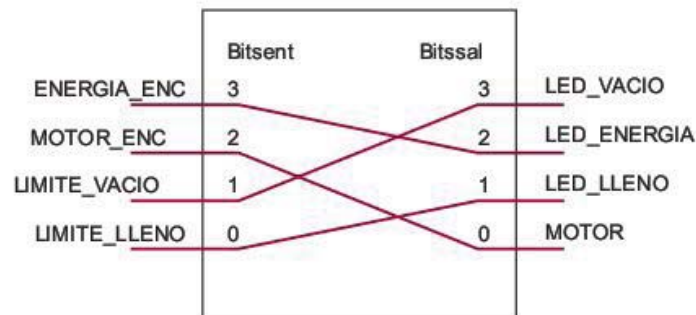
SUBDESIGNhw
(
  bitsent[3..0] : INPUT;
  bitssal[3..0] : OUTPUT;
)

```

```

ENTITYhwIS
PORT(
  bitsent : IN BIT_VECTOR (3 downto 0);
  bitssal : OUT BIT_VECTOR (3 downto 0)
);
ENDhw;

```



SECCIÓN 4-16

- H,D** 4-59. Modifique la tabla de verdad de AHDL de la figura 4-50 para implementar la ecuación $AB + AC + AB$.
- H,D** 4-60.* Modifique el diseño de AHDL en la figura 4-54, de manera que $z = 1$ sólo cuando el valor digital sea menor que 1010_2 .
- H,D** 4-61. Modifique la tabla de verdad de AHDL de la figura 4-51 para implementar $AB + AC + AB$.
- H,D** 4-62.* Modifique el diseño de VHDL de la figura 4-55, de manera que $z = 1$ sólo cuando el valor digital sea menor que 1010_2 .
- H,B** 4-63. Modifique el código de (a) la figura 4-54 o (b) la figura 4-55 de tal forma que la salida z esté en BAJO sólo cuando valor_digital se encuentre entre 6 y 11 (inclusivo).
- H,D** 4-64. Modifique (a) el diseño de AHDL de la figura 4-60 para implementar la tabla 4-1. (b) el diseño de VHDL de la figura 4-61 para implementar la tabla 4-1.
- H,D** 4-65.* Escriba la ecuación booleana del archivo de diseño de descripción de hardware para implementar el ejemplo 4-9.
- 4-66. Escriba la ecuación booleana del archivo de diseño de descripción de hardware para implementar un generador de paridad de cuatro bits, como se muestra en la figura 4-25(a).

PREGUNTA DE PRÁCTICA

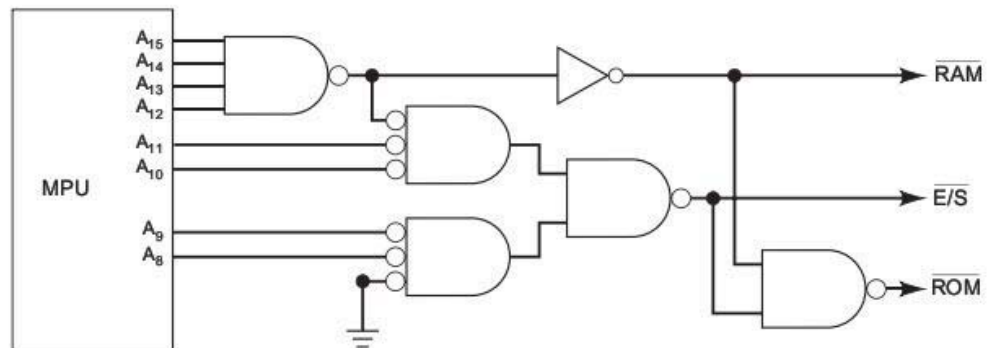
- B** 4-67. Defina cada uno de los siguientes términos.
- Mapa de Karnaugh.
 - Forma de suma de productos.
 - Generador de paridad.
 - Octeto.

- (e) Circuito de habilitación.
- (f) Condición "no importa".
- (g) Entrada flotante.
- (h) Nivel de voltaje indeterminado.
- (i) Colisión.
- (j) PLD.
- (k) TTL.
- (l) CMOS.

APLICACIONES DE MICROCOMPUTADORA

- C** 4-68. En una microcomputadora, la unidad del microprocesador (MPU) siempre se está comunicando con uno de los siguientes elementos: (1) memoria de acceso aleatorio (RAM), la cual almacena los programas y datos que pueden modificarse con facilidad; (2) memoria de sólo lectura (ROM), la cual almacena programas y datos que nunca se modifican; y (3) dispositivos externos de entrada/salida (E/S) tales como teclados, pantallas de video, impresoras y unidades de disco. Al ejecutar un programa, la MPU genera un código de dirección que selecciona el tipo de dispositivo (RAM, ROM o E/S) con el que desea comunicarse. La figura 4-79 muestra un arreglo común en donde la MPU produce como salida un código de dirección de ocho bits ($A_{15} - A_8$). En realidad la MPU produce como salida un código de dirección de 16 bits, pero los bits de menor orden ($A_7 - A_0$) no se utilizan en el proceso de selección de dispositivos. El código de dirección se aplica a un circuito lógico que lo utiliza para generar las señales de selección de dispositivos: \overline{RAM} , $\overline{E/S}$ y \overline{ROM} .

FIGURA 4-79
Problema 4-68.



Analice este circuito y determine lo siguiente:.

- (a)* El intervalo de direcciones de A_{15} hasta A_8 que activa la señal \overline{RAM} .
- (b) El intervalo de direcciones que activa la señal $\overline{E/S}$.
- (c) El intervalo de direcciones que activa la señal \overline{ROM} .

Expresé las direcciones en binario y en hexadecimal. Por ejemplo, la respuesta para (a) es: A_{15} a $A_8 = 00000000_2$ a $11101111_2 = 00_{16}$ a EF_{16} .

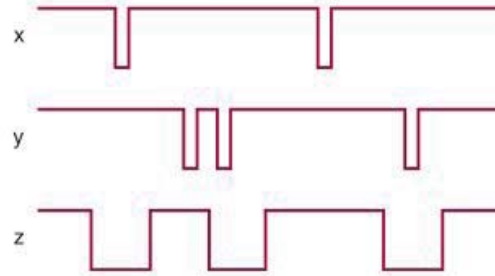
- C,D** 4-69. En algunas microcomputadoras la MPU puede *deshabilitarse* por breves periodos mientras que otro dispositivo controla los dispositivos de RAM, ROM y E/S. Durante estos intervalos, la MPU activa una señal de control especial (*DMA*), la cual se utiliza para deshabilitar (desactivar) la lógica de selección de dispositivos, de manera que las señales \overline{RAM} , \overline{ROM} y $\overline{E/S}$ se encuentren en su estado inactivo. Modifique el circuito de la figura 4-79, de tal forma que \overline{RAM} , \overline{ROM} y $\overline{E/S}$ se desactiven cada vez que la señal *DMA* esté activa, sin importar el estado del código de dirección.

PROBLEMAS

SECCIONES 5-1 A 5-3

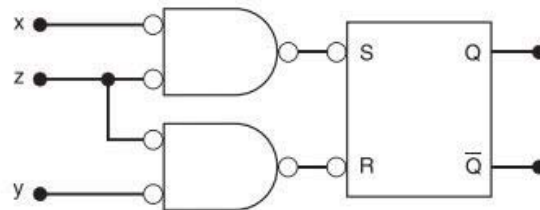
- B** 5-1.* Suponiendo que al principio $Q = 0$, aplique las formas de onda x y y de la figura 5-73 a las entradas SET y RESET de un latch NAND y determine las formas de onda de Q y \bar{Q} .

FIGURA 5-73 Problemas 5-1 a 5-3.



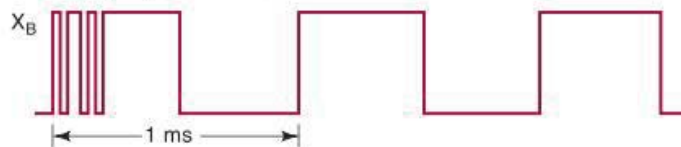
- B** 5-2. Invierta las formas de onda x y y de la figura 5-73, aplíquelas a las entradas SET y RESET de un latch NOR y determine las formas de onda de Q y \bar{Q} . Suponga que al principio $Q = 0$.
- 5-3.* Las formas de onda de la figura 5-73 están conectadas al circuito de la figura 5-74. Suponga que al principio $Q = 0$ y determine la forma de onda de Q .

FIGURA 5-74 Problema 5-3.



- D** 5-4. Modifique el circuito de la figura 5-9 para que utilice un latch de compuerta NOR.
- D** 5-5. Modifique el circuito de la figura 5-12 para que utilice un latch de compuerta NAND.
- F** 5-6.* Consulte el circuito de la figura 5-13. Para probar la operación del circuito, un técnico observa las salidas con un osciloscopio de almacenamiento mientras que el interruptor se mueve de A a B . Cuando el interruptor se mueve de A a B , aparece la pantalla de X_B en el osciloscopio según se muestra en la figura 5-75. ¿Qué falla del circuito podría producir este resultado? (Sugerencia: ¿cuál es la función del latch NAND?)

FIGURA 5-75 Problema 5-6.



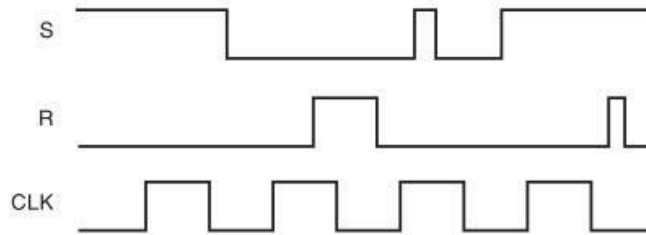
SECCIONES 5-4 A 5-6

- B** 5-7. Cierta FF sincronizado por reloj tiene los valores mínimos $t_S = 20$ ns y $t_H = 5$ ns. ¿Cuánto tiempo deben permanecer estables las entradas de control antes de la transición activa del reloj?

* Encontrará las respuestas a los problemas marcados con un asterisco al final del capítulo.

- B** 5-8. Aplique las formas de onda de S , R y CLK de la figura 5-19 al FF de la figura 5-20 y determine la forma de onda de Q .
- B** 5-9.* Aplique las formas de onda de la figura 5-76 al FF de la figura 5-19 y determine la forma de onda en Q . Repita el proceso para el FF de la figura 5-20. Suponga que al principio $Q = 0$.

FIGURA 5-76
Problema 5-9.



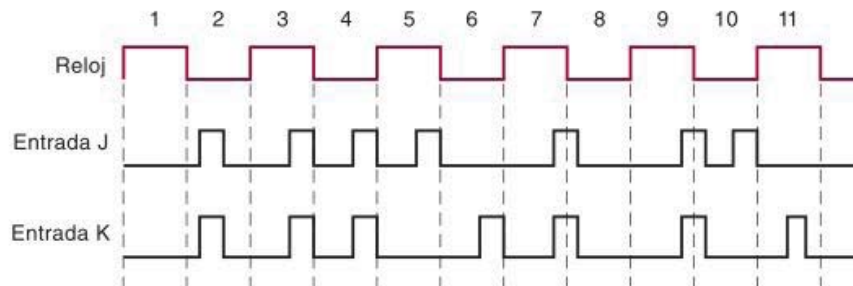
- 5-10. Dibuje las siguientes formas de onda de pulsos digitales. Etiquételas como t_r , t_f y t_w , flanco anterior y flanco posterior.
 - (a) Un pulso TTL negativo con $t_r = 20$ ns, $t_f = 5$ ns y $t_w = 50$ ns.
 - (b) Un pulso TTL positivo con $t_r = 5$ ns, $t_f = 1$ ns y $t_w = 25$ ns.
 - (c) Un pulso positivo con $t_w = 1$ ms, cuyo flanco anterior ocurra cada 5 ms. Proporcione la frecuencia de esta forma de onda.

SECCIÓN 5-7

- B** 5-11.* Aplique las formas de onda de J , K y CLK de la figura 5-23 al FF de la figura 5-24. Suponga que al principio $Q = 1$ y determine la forma de onda de Q .
- D** 5-12. (a)* Muestre cómo un flip-flop J-K puede operar como un FF *conmutador* (que cambia de estado en cada pulso del reloj). Después aplique una señal de reloj de 10-kHz en su entrada CLK y determine la forma de onda en Q .
 - (b) Conecte la salida Q de este FF a la entrada CLK de un segundo FF J-K que también tiene $J = K = 1$. Determine la frecuencia de la señal en la salida de este FF.
- B** 5-13. Las formas de onda que se muestran en la figura 5-77 se van a aplicar a dos FFs distintos:
 - (a) J-K disparado con flanco positivo.
 - (b) J-K disparado con flanco negativo.

Dibuje la respuesta de la forma de onda de Q para cada uno de estos FFs, suponiendo que al principio $Q = 0$. Suponga también que cada FF tiene $t_H = 0$.

FIGURA 5-77
Problema 5-13.



SECCIÓN 5-8

- N** 5-14. Algunas veces se utiliza un FF D para *retrasar* una forma de onda binaria, de manera que la información binaria aparezca en la salida durante una cierta cantidad de tiempo después de que aparece en la entrada *D*.
- (a)* Determine la forma de onda de *Q* en la figura 5-78 y compárela con la forma de onda de entrada. Observe que está retrasada desde la entrada por un periodo de reloj.
- (b) ¿Cómo puede obtenerse un retraso de dos periodos de reloj?

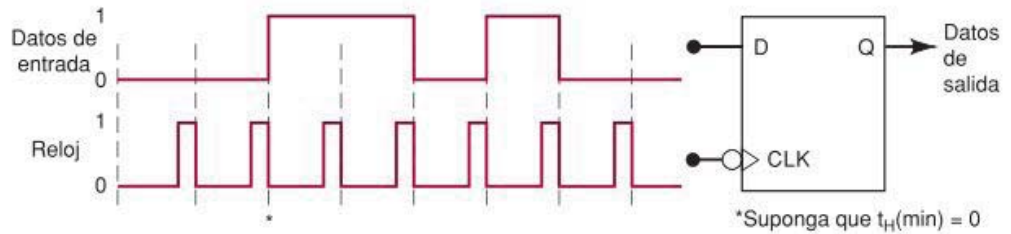
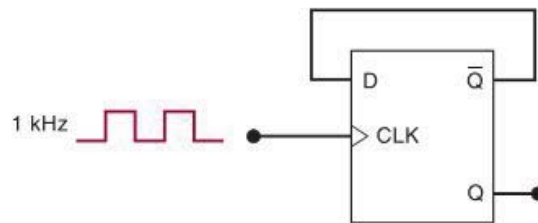


FIGURA 5-78 Problema 5-14.

- B** 5-15. (a) Aplique las formas de onda de *S* y *CLK* de la figura 5-76 a las entradas *D* y *CLK* de un FF D que se dispara en las PGTs. Después determine la forma de onda en *Q*.
- (b) Repita el procedimiento, utilizando la forma de onda de *C* de la figura 5-76 para la entrada *D*.
- B** 5-16.* Se puede hacer que un flip-flop D disparado por flanco opere en el modo de conmutación si se le conecta como se muestra en la figura 5-79. Suponga que al principio $Q = 0$ y determine la forma de onda de *Q*.

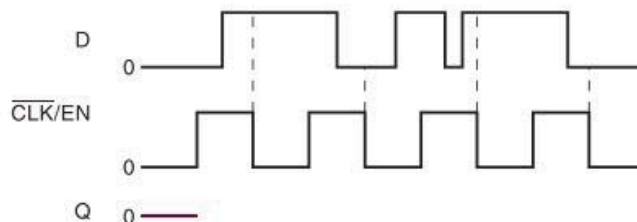
FIGURA 5-79 Flip-flop D conectado para conmutar (problema 5-16).



SECCIÓN 5-9

- B** 5-17. (a) Aplique las formas de onda de *S* y *CLK* de la figura 5-76 a las entradas *D* y *EN* de un latch D en forma respectiva y determine la forma de onda en *Q*.
- (b) Repita el proceso utilizando la forma de onda de *C* aplicada a *D*.
- 5-18. Compare la operación del latch *D* con un flip-flop *D* disparado por flanco negativo, mediante la aplicación de las formas de onda de la figura 5-80 a cada uno de ellos y determine la forma de onda de *Q*.

FIGURA 5-80 Problema 5-18.

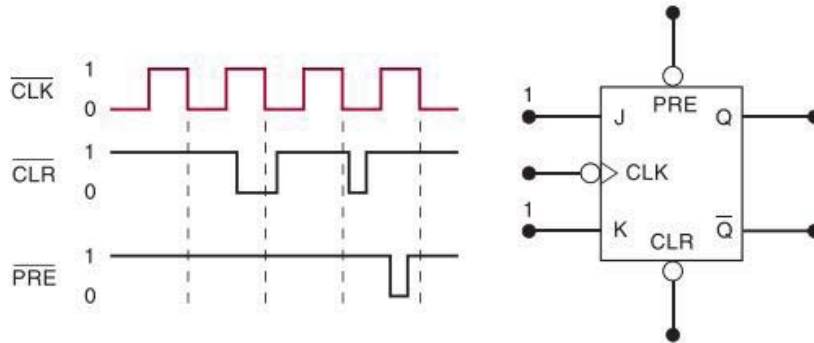


- 5-19. En el problema 5-16 vimos cómo un flip-flop D disparado por flanco puede operar en el modo de conmutación. Explique por qué la misma idea no funcionará para un latch D.

SECCIÓN 5-10

- B** 5-20. Determine la forma de onda de Q para el FF de la figura 5-81. Suponga que al principio $Q = 0$ y recuerde que las entradas asíncronas predominan sobre todas las demás entradas.

FIGURA 5-81
Problema 5-20.



- B** 5-21.* Aplique las formas de onda de \overline{CLK} , \overline{PRE} y \overline{CLR} (figura 5-32) a un flip-flop D disparado por flanco positivo con entradas asíncronas activas en BAJO. Suponga que D se mantiene en ALTO y que al principio Q está en BAJO. Determine la forma de onda de Q .
- B** 5-22. Aplique las formas de onda de la figura 5-81 a un flip-flop D que se dispara con las NGTs y que tiene entradas asíncronas activas en BAJO. Suponga que D se mantiene en BAJO y que al principio Q está en ALTO. Dibuje la forma de onda resultante en Q .

SECCIÓN 5-12

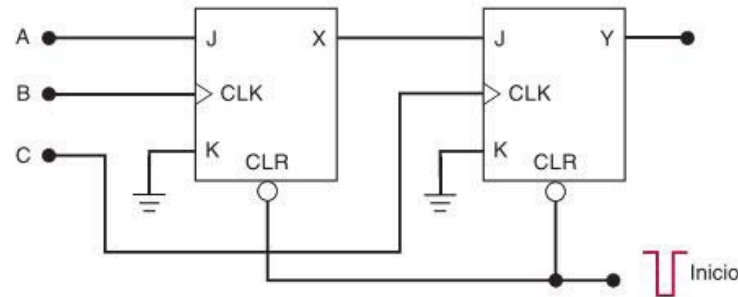
- B** 5-23. Use la tabla 5-2 de la sección 5-12 para determinar lo siguiente:
- (a)* ¿Cuánto puede tardar la salida Q de un 74C74 en cambiar de 0 a 1, en respuesta a una transición activa de CLK ?
 - (b)* ¿Cuál FF en la tabla 5-2 requiere que sus entradas de control permanezcan estables durante el mayor tiempo *después* de la transición activa en CLK ? ¿*Antes* de la transición?
 - (c) ¿Cuál es el pulso más estrecho que puede aplicarse a la entrada \overline{PRE} de un FF 7474?
- B** 5-24. Use la tabla 5-2 para determinar lo siguiente:
- (a) ¿Cuánto tiempo se requiere para borrar un 74LS112 en forma asíncrona?
 - (b) ¿Cuánto tiempo se requiere para establecer un 74HC112 en forma asíncrona?
 - (c) ¿Cuál es el intervalo más corto aceptable entre las transiciones activas de reloj para un 7474?
 - (d) La entrada D de un 74HC112 cambia a ALTO 15 ns antes del flanco activo del reloj. ¿Se guardarán los datos en forma confiable en el flip-flop?
 - (e) ¿Cuánto tiempo se requiere (después del flanco del reloj) para almacenar en forma síncrona un 1 en un flip-flop D 7474 borrado?

SECCIONES 5-15 Y 5-16

- D** 5-25.* Modifique el circuito de la figura 5-40 para que utilice un flip-flop J-K.

- D** 5-26. En el circuito de la figura 5-82, al principio las entradas A , B y C están en BAJO. Se supone que la salida Y debe cambiar a ALTO sólo cuando A , B y C cambian a ALTO en cierta secuencia.
- Determine la secuencia que hará que Y cambie a ALTO.
 - Explique por qué se necesita el pulso INICIO.
 - Modifique este circuito para que utilice FFs D.

FIGURA 5-82
Problema 5-26.



SECCIONES 5-17 Y 5-18

- D** 5-27.* (a) Dibuje un diagrama de circuito para la transferencia síncrona en paralelo de un registro de tres bits a otro registro, mediante el uso de flip-flops J-K.
- (b) Repita el proceso para una transferencia asíncrona en paralelo.
- N, D** 5-28. Un registro de desplazamiento *recirculante* es un registro de desplazamiento que mantiene circulando la información binaria a través del registro, a medida que se aplican pulsos de reloj. El registro de desplazamiento de la figura 5-45 puede convertirse en un registro circulante si se conecta X_0 a la línea DATOS ENT. No se utilizan entradas externas. Suponga que este registro circulante empieza con el valor 1011 almacenado en el mismo (es decir, $X_3 = 1$, $X_2 = 0$, $X_1 = 1$ y $X_0 = 1$). Liste la secuencia de estados por los que pasan los FFs del registro a medida que se aplican ocho pulsos de desplazamiento.
- D** 5-29.* Consulte la figura 5-46, en donde un número de tres bits almacenado en el registro X se está desplazando en forma serial hacia el registro Y . ¿Cómo puede modificarse el circuito de manera que al final de la operación de transferencia esté el número original almacenado en X presente en ambos registros? (Sugerencia: vea el problema 5-28.)

SECCIÓN 5-19

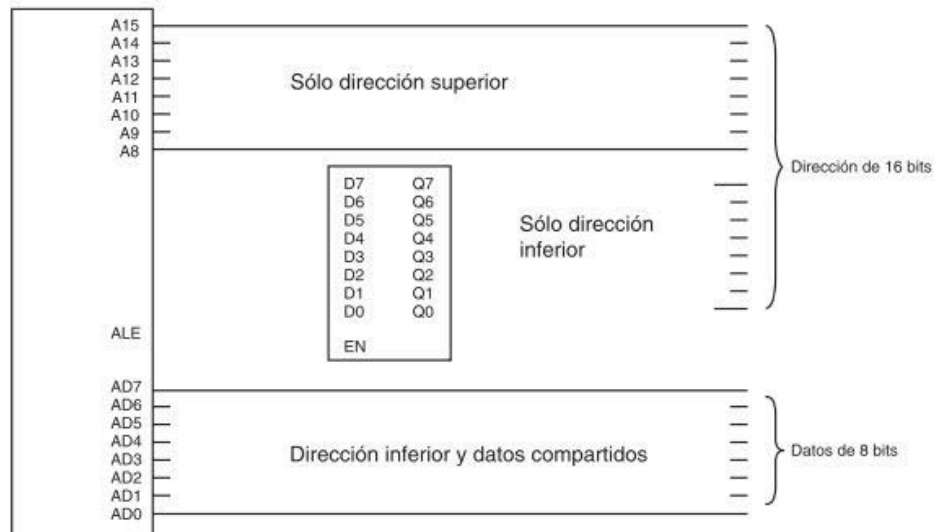
- B** 5-30. Consulte el circuito contador de la figura 5-47 y responda a lo siguiente:
- * Si el contador empieza en 000, ¿cuál será la cuenta después de 13 pulsos de reloj? ¿Después de 99 pulsos? ¿Después de 256 pulsos?
 - Si el contador empieza en 100, ¿cuál será la cuenta después de 13 pulsos? ¿Después de 99 pulsos? ¿Después de 256 pulsos?
 - Conecte un cuarto FF J-K (X_3) a este contador y dibuje el diagrama de transición de estados para este contador de 4 bits. Si la frecuencia del reloj de entrada es de 80 MHz, ¿cuál será la apariencia de la forma de onda en X_3 ?
- B** 5-31. Consulte el contador binario de la figura 5-47. Cámbielo conectando \bar{X}_0 a la señal CLK del flip-flop X_1 , y \bar{X}_1 a la señal CLK del flip-flop X_2 . Empiece con todos los FFs en el estado 1 y dibuje las diversas formas de onda de salida de los FFs (X_0 , X_1 , X_2) para 16 pulsos de entrada. Después liste la secuencia de estados de los FFs, como se hizo en la figura 5-48. A este contador se le conoce como *contador descendente*. ¿Por qué?
- B** 5-32. Dibuje el diagrama de transición de estados para este contador descendente y compárelo con el diagrama de la figura 5-49. ¿Cuál es la diferencia?

- B** 5-33.* (a) ¿Cuántos FFs se requieren para construir un contador binario que cuente desde 0 hasta 1023?
- (b) Determine la frecuencia en la salida del último FF de este contador, para una frecuencia de entrada de reloj de 2 MHz.
- (c) ¿Cuál es el número MOD del contador?
- (d) Si al principio el contador está en cero, ¿qué cuenta tendrá después de 2060 pulsos?
- B** 5-34. Un contador binario está recibiendo pulsos a través de una señal de reloj de 256-kHz. La frecuencia de salida del último FF es de 2 kHz.
 - (a) Determine el número MOD.
 - (b) Determine el intervalo de conteo.
- B** 5-35. Un circuito fotodetector se está usando para generar un pulso cada vez que un cliente entra en cierto establecimiento. Los pulsos se alimentan a un contador de ocho bits. Este contador se utiliza para contar estos pulsos como un medio para determinar cuántos clientes han entrado en la tienda. Después de cerrar la tienda, el propietario revisa el contador y descubre que muestra un conteo de $00001001_2 = 9_{10}$. Él sabe que esto es incorrecto, ya que había mucho más de nueve personas en su tienda. Suponiendo que el circuito contador esté funcionando en forma apropiada, ¿cuál podría ser el motivo de la discrepancia?

SECCIÓN 5-20

- D** 5-36.* Modifique el circuito de la figura 5-50 de manera que sólo la presencia del código de dirección 10110110 permita transferir datos al registro X.
- F** 5-37. Suponga que el circuito de la figura 5-50 está funcionando mal, de manera que se transfieran datos a X para cualquiera de los códigos de dirección 11111110 o 11111111. ¿Cuáles son algunas de las fallas de un circuito que podrían estar ocasionando esto?
- N, D** 5-38. Muchos microcontroladores comparten las mismas terminales para enviar de salida la dirección inferior y transferir datos. Para poder mantener la constante de dirección mientras que se transfieren los datos. La información sobre la dirección se almacena en un latch, el cual se habilita mediante la señal de control ALE (habilita latch de dirección), como se muestra en la figura 5-83. Conecte este latch al microcontrolador de tal forma que reciba lo que haya en la dirección inferior y en las líneas de datos mientras que ALE esté en ALTO, y que lo retenga en las líneas de sólo dirección inferior cuando ALE esté en BAJO.

FIGURA 5-83
Problema 5-38.

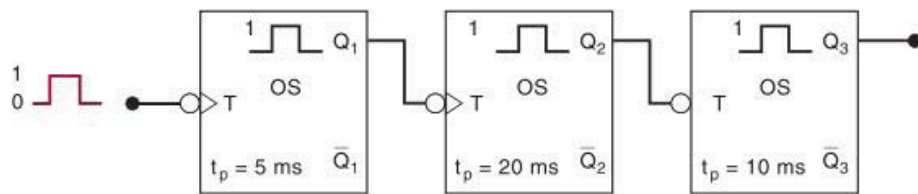


- D** 5-39. Modifique el circuito de la figura 5-50, de forma que la MPU tenga ocho líneas de salida de datos conectadas para transferir ocho bits de datos a un registro de ocho bits formado por dos CIs 74HC175 [Figura 5-34(b)]. Muestre todas las conexiones del circuito.

SECCIÓN 5-22

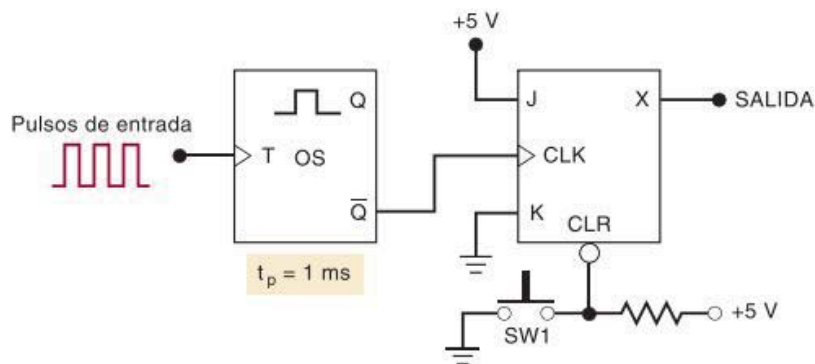
- B** 5-40. Consulte las formas de onda de la figura 5-53(a). Cambie la duración del pulso del OS a 0.5 ms y determine la salida Q para ambos tipos de OS. Después repita el proceso utilizando una duración de pulso de OS de 1.5 ms.
- N** 5-41.* La figura 5-84 muestra tres monoestables no redispables conectados en una cadena de sincronización que produce tres pulsos de salida secuenciales. Observe el “1” enfrente del pulso en cada símbolo de OS para indicar la operación no redispable. Dibuje un diagrama de tiempo que muestre la relación entre el pulso de entrada y las salidas de los tres OS. Suponga una duración de 10 ms para el pulso de entrada.

FIGURA 5-84
Problema 5-41.



- 5-42. Un OS *redispable* puede utilizarse como detector de frecuencia de pulso que detecte cuando la frecuencia de un pulso de entrada esté por debajo de un valor predeterminado. En la figura 5-85 se muestra un ejemplo simple de esta aplicación. La operación empieza con el cierre momentáneo del interruptor SW1.
- Describa cómo responde el circuito a las frecuencias de entrada por encima de 1 kHz.
 - Describa cómo responde el circuito a las frecuencias de entrada por debajo de 1 kHz.
 - ¿Cómo modificaría el circuito para detectar cuando la frecuencia de entrada cae por debajo de 50 kHz?

FIGURA 5-85
Problema 5-42.



- 5-43. Consulte el símbolo lógico para un monoestable no redispable 74121 en la figura 5-54(a).
- * ¿Qué condiciones de entrada se necesitan para que el OS se dispare mediante una señal en la entrada B ?
 - ¿Qué condiciones de entrada se necesitan para que el OS se dispare mediante una señal en la entrada A_1 ?

- A, D** 5-44. La anchura del pulso de salida de un OS 74121 se obtiene mediante la fórmula aproximada

$$t_p \approx 0.7 R_T C_T$$

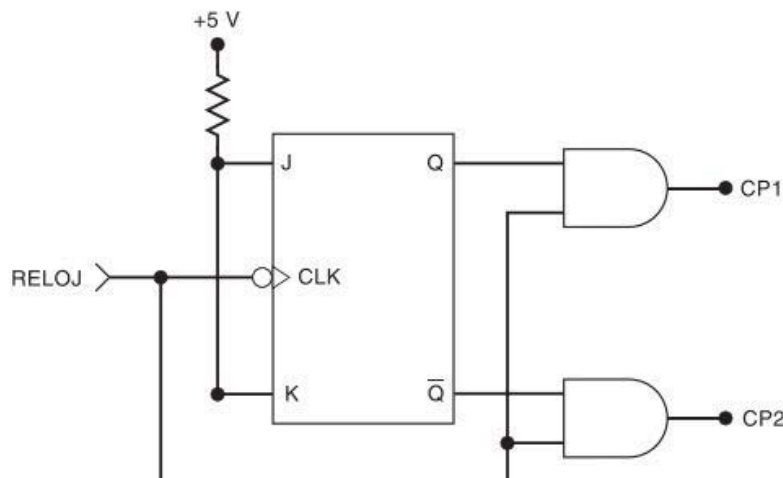
en donde R_T es la resistencia conectada entre la terminal R_{EXT}/C_{EXT} y V_{CC} , y C_T es la capacitancia conectada entre la terminal C_{EXT} y la terminal R_{EXT}/C_{EXT} . El valor de R_T puede variar entre 2 y 40 k Ω , y C_T puede ser de hasta 1000 μ F.

- (a) Muestre cómo puede conectarse un 74121 para producir un pulso de pendiente negativa con una duración de 5 ms, cada vez que cualquiera de dos señales lógicas (E o F) produce una NGT. Tanto E como F se encuentran, por lo general, en el estado ALTO.
- (b) Modifique el circuito de manera que una señal de entrada de control (G) pueda deshabilitar el pulso de salida del OS, sin importar lo que ocurra en E o en F .

SECCIÓN 5-23

- B, N** 5-45.* Muestre cómo usar un INVERSOR disparador de Schmitt 74LS14 para producir una onda cuadrada aproximada con una frecuencia de 10 kHz.
- B, D** 5-46. Diseñe un oscilador 555 de funcionamiento libre para producir una onda cuadrada aproximada a 40 kHz. C deberá mantenerse en 500 pF o más.
- D** 5-47. Un oscilador 555 puede combinarse con un flip-flop J-K para producir una onda cuadrada perfecta (ciclo de trabajo del 50 por ciento). Modifique el circuito del problema 5-46 para que incluya un flip-flop J-K. La salida final tiene que seguir siendo una onda cuadrada de 40 kHz.
- 5-48. Diseñe un circuito temporizador 555 que produzca una forma de onda de 5 kHz con un ciclo de trabajo del 10 por ciento. Seleccione un capacitor mayor de 500 pF y resistencias menores de 100 k Ω . Dibuje el diagrama del circuito con los números de las terminales etiquetados.
- A, N** 5-49. El circuito de la figura 5-86 puede usarse para generar dos señales de reloj que no se traslapen entre sí, a la misma frecuencia. Estas señales de reloj se utilizaban en los primeros sistemas de microprocesador, los cuales requerían cuatro transiciones de reloj distintas para sincronizar sus operaciones.
 - (a) Dibuje las formas de onda de sincronización CP1 y CP2 si $RELOJ$ es una onda cuadrada de 1 MHz. Suponga que t_{PLH} y t_{PHL} son de 20 ns para el FF y de 10 ns para las compuertas AND.

FIGURA 5-86
Problema 5-49.



- (b) Este circuito tendría un problema si el FF se cambiara por uno que respondiera a una PGT en CLK . Dibuje las formas de onda de CP1 y CP2 para esa situación. Ponga especial atención a las condiciones que pueden producir deformaciones.

SECCIÓN 5-24

- F** 5-50. Consulte el circuito contador de la figura 5-47. Suponga que todas las entradas asíncronas se conectan a V_{CC} . Al probarlo, las formas de onda del circuito aparecen como se muestra en la figura 5-87. Considere la siguiente lista de posibles fallas. Para cada una, indique “sí” o “no” en cuanto a si pueden producir los resultados observados. Explique cada respuesta.
- La entrada CLK de X_2 está abierta.
 - Los tiempos de transición de la salida X_1 son demasiado largos, tal vez debido a la carga.
 - La salida de X_2 está en corto con tierra.
 - No se cumple con el requerimiento de tiempo de retención de X_2 .

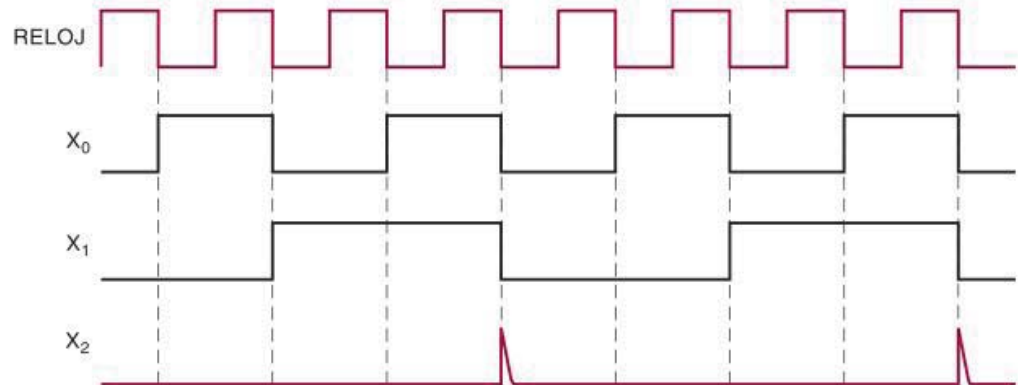
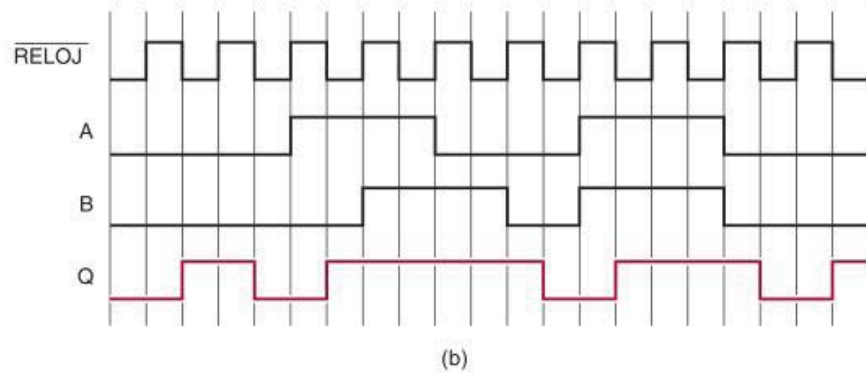
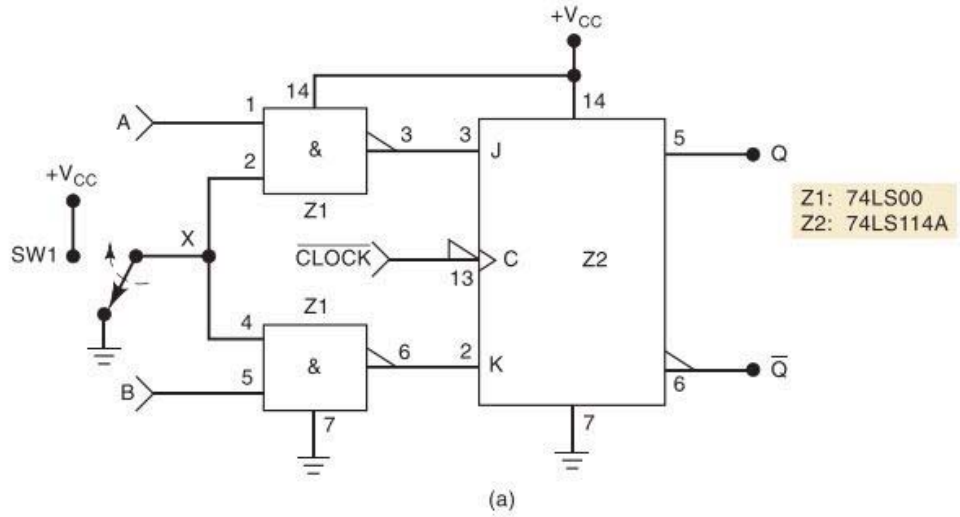


FIGURA 5-87 Problema 5-50.

- A, F** 5-51. Considere la situación de la figura 5-59 para cada uno de los siguientes conjuntos de valores de sincronización. Para cada uno de ellos indique si el flip-flop Q_2 responderá o no en forma correcta.
- Cada FF: $t_{PLH} = 12$ ns; $t_{PHL} = 8$ ns; $t_S = 5$ ns; $t_H = 0$ ns;
 Compuerta NAND: $t_{PLH} = 8$ ns; $t_{PHL} = 6$ ns;
 INVERSOR: $t_{PLH} = 7$ ns; $t_{PHL} = 5$ ns;
 - Cada FF: $t_{PLH} = 10$ ns; $t_{PHL} = 8$ ns; $t_S = 5$ ns; $t_H = 0$ ns;
 Compuerta NAND: $t_{PLH} = 12$ ns; $t_{PHL} = 10$ ns;
 INVERSOR: $t_{PLH} = 8$ ns; $t_{PHL} = 6$ ns;
- D** 5-52. Muestre y explique cómo el problema de desfasamiento de reloj de la figura 5-59 puede eliminarse si se insertan dos INVERSORES en forma apropiada.
- F** 5-53. Consulte el circuito de la figura 5-88. Suponga que los CIs son de la familia lógica TTL. La forma de onda de Q se obtuvo cuando se probó el circuito con las señales de entrada que se muestran, y con el interruptor en la posición “arriba”; no es correcta. Considere la siguiente lista de fallas y para cada una indique “sí” o “no” en cuanto a cuál podría ser la verdadera falla. Explique cada respuesta.
- El punto X siempre está en BAJO debido a un interruptor defectuoso.
 - La terminal 1 de $Z1$ está en corto interno con V_{CC} .
 - La conexión de $Z1-3$ a $Z2-3$ está rota.
 - Hay un puente de soldadura entre las terminales 6 y 7 de $Z1$.

FIGURA 5-88
Problema 5-53.



- A** 5-54. El circuito de la figura 5-89 funciona como un candado de combinación secuencial. Para operar el candado, proceda de la siguiente manera:
1. Active por un momento el interruptor RESET.
 2. Ajuste los interruptores SWA, SWB y SWC con la primera parte de la combinación. Después conmute por un momento el interruptor INTRODUCIR hacia delante y hacia atrás.
 3. Ajuste los interruptores con la segunda parte de la combinación y conmute el interruptor INTRODUCIR de nuevo. Esto deberá producir un nivel ALTO en Q_2 para abrir el candado.
- Si se introduce la combinación incorrecta en cualquiera de los pasos, el operador deberá comenzar la secuencia de nuevo. Analice el circuito y determine la secuencia correcta de combinaciones que abrirán el candado.
- A, F** 5-55.* Cuando se prueba el candado de combinación de la figura 5-89, se descubre que al introducir la combinación correcta no se abre el candado. Una comprobación con la sonda lógica muestra que al introducir la primera combinación correcta Q_1 se establece en ALTO, pero al introducir la segunda combinación correcta sólo se produce un pulso momentáneo en Q_2 . Considere cada una de las siguientes fallas e indique cuál(es) podría(n) producir la operación observada. Explique cada una de las opciones.
- (a) Rebote de interruptor en SWA, SWB o SWC.
 - (b) La entrada CLR de Q_2 está abierta.
 - (c) La conexión de la salida de la compuerta NAND 4 a la entrada de la compuerta NAND 3 está abierta.

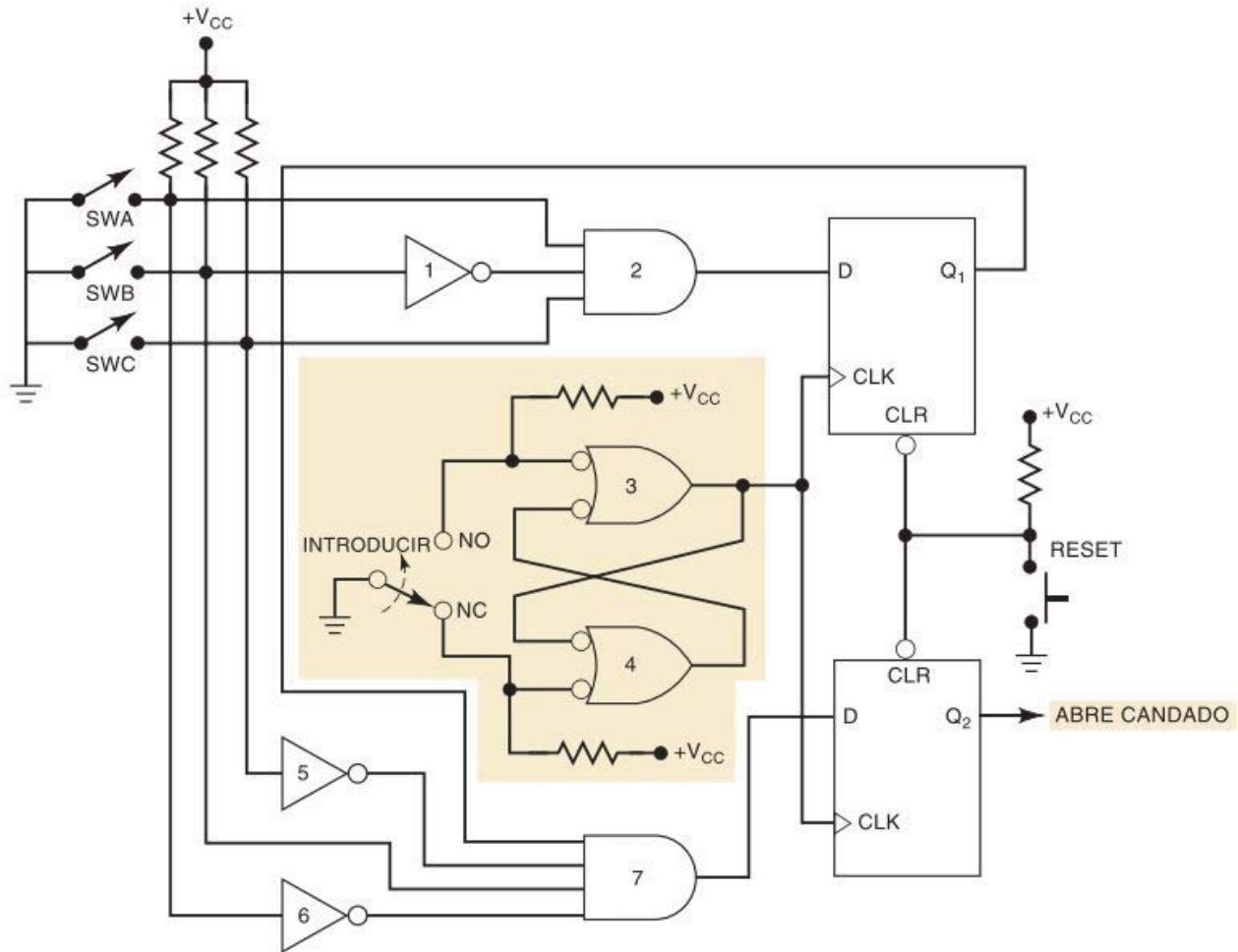


FIGURA 5-89 Problemas 5-54 y 5-55.

PREGUNTAS DE PRÁCTICA

- B** 5-56. Para cada una de las siguientes aseveraciones, indique qué tipo de FF se está describiendo.
- * Tiene una entrada SET y una entrada CLEAR pero no tiene entrada CLK.
 - * Conmutará en cada pulso de CLK cuando ambas entradas de control estén en ALTO.
 - * Tiene una entrada HABILITAR en vez de una entrada CLK.
 - * Se utiliza para transferir datos con facilidad de un registro de FF a otro.
 - Sólo tiene una entrada de control.
 - Tiene dos salidas que son complementos una de la otra.
 - Puede cambiar de estado sólo en la transición activa de CLK.
 - Se utiliza en los contadores binarios.
- B** 5-57. Defina los siguientes términos.
- Entradas asíncronas.
 - Disparado por flanco.
 - Registro de desplazamiento.
 - División de frecuencia.

- 6-4. (a) ¿Cuál es el intervalo de valores decimales con signo que puede representarse utilizando 12 bits, incluyendo el bit de signo?
 (b) ¿Cuántos bits se requieren para representar números decimales desde $-32,768$ hasta $+32,767$?
- 6-5.* Liste en orden todos los números con signo que puedan representarse en cinco bits, usando el sistema de complemento a 2.
- 6-6. Represente cada uno de los siguientes valores decimales como un valor binario con signo de ocho bits. Después niegue cada uno de ellos.
 (a)* $+73$ (b) $*-12$ (c) $+15$ (d) -1 (e) -128 (f) $+127$
- 6-7. (a)* ¿Cuál es el intervalo de valores decimales sin signo que puede representarse en 10 bits? ¿Cuál es el intervalo de valores decimales con signo si utilizamos el mismo número de bits?
 (b) Repita ambos problemas usando ocho bits.

SECCIONES 6-3 Y 6-4

- 6-8. La razón por la que el método de signo-magnitud para representar números con signo no se utiliza en la mayoría de las computadoras puede ilustrarse mediante lo siguiente:
 (a) Represente $+12$ en ocho bits, utilizando la forma de signo-magnitud.
 (b) Represente -12 en ocho bits, utilizando la forma de signo-magnitud.
 (c) Sume los dos números binarios y observe que la suma no se parece en nada a cero.
- 6-9. Realice las siguientes operaciones en el sistema de complemento a 2. Use ocho bits (incluyendo el bit de signo) para cada número. Compruebe sus resultados convirtiendo el resultado binario de vuelta en decimal.
 (a)* Sume $+9$ y $+6$. (f) Reste $+21$ de -13 .
 (b)* Sume -14 y -17 . (g) Reste $+47$ de $+47$.
 (c)* Sume $+19$ y -24 . (h) Reste -36 de -15 .
 (d)* Sume -48 de -80 . (i) Sume $+17$ y -17 .
 (e)* Reste $+16$ de $+17$. (j) Reste -17 de -17 .
- 6-10. Repita el problema 6-9 para los siguientes casos y demuestre que hay desbordamiento en cada uno de ellos.
 (a) Sume $+37$ y $+95$. (c) Sume -37 y -95 .
 (b) Reste $+37$ de -95 . (d) Reste -37 de $+95$.

SECCIONES 6-5 Y 6-6

- B** 6-11. Multiplique los siguientes pares de números binarios y compruebe sus resultados realizando la multiplicación en decimal.
 (a)* 111×101 (c) 101.101×110.010
 (b)* 1011×1011 (d) $.1101 \times .1011$
- B** 6-12. Realice las siguientes divisiones. Compruebe sus resultados realizando la división en decimal.
 (a)* $1100 \div 100$ (c) $10111 \div 100$
 (b)* $111111 \div 1001$ (d) $10110.1101 \div 1.1$